

日本国特許庁
JAPAN PATENT OFFICE

22.05.03

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 9月30日

出願番号

Application Number:

特願2002-286987

[ST.10/C]:

[JP2002-286987]

出願人

Applicant(s):

松下電器産業株式会社

REC'D 11 JUL 2003

WIPO

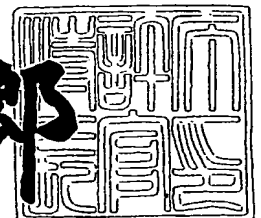
PCT

PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2003年 6月27日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3050905

【書類名】 特許願

【整理番号】 2037640132

【特記事項】 特許法第30条第1項の規定の適用を受けようとする特
許出願

【提出日】 平成14年 9月30日

【あて先】 特許庁長官 殿

【国際特許分類】 H03L 7/093

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 道正 志郎

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 柳沢 直志

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 外山 正臣

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 梅原 啓二郎

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式
会社内

【氏名】 福井 正博

【発明者】

【住所又は居所】 大阪府門真市大字門真1006番地 松下電器産業株式

会社内

【氏名】 吉河 武文

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 岩田 徹

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 崎山 史朗

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 鈴木 良一

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【先の出願に基づく優先権主張】

【出願番号】 特願2002-148129

【出願日】 平成14年 5月22日

【先の出願に基づく優先権主張】

【出願番号】 特願2002-262793

【出願日】 平成14年 9月 9日

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 低域ろ波回路、フィードバックシステムおよび半導体集積回路

【特許請求の範囲】

【請求項1】 低域ろ波回路であって、

当該低域ろ波回路の入力信号を入力とし、第1の電圧を出力とする第1のフィルタ手段と、

前記第1のフィルタ手段が有する回路要素であって、前記第1の電圧に応じて第1の電流を流す回路要素と、

前記第1の電流に対して所定比の第2の電流を生成する電流生成手段と、

前記第2の電流を入力とし、第2の電圧を出力とする第2のフィルタ手段と、

前記第1の電圧と前記第2の電圧とを加算し、当該低域ろ波回路の出力信号を出力する加算手段とを備えた

ことを特徴とする低域ろ波回路。

【請求項2】 請求項1に記載の低域ろ波回路において、

前記所定比は、1よりも小さな正数である

ことを特徴とする低域ろ波回路。

【請求項3】 請求項1に記載の低域ろ波回路において、

前記電流生成手段は、第1のコンダクタンスを呈する第1の半導体素子を入力側に有する一方、前記第1のコンダクタンスに対して前記所定比の第2のコンダクタンスを呈する第2の半導体素子出力側に有し、前記第1の電流を入力とし、前記第2の電流を出力とするカレントミラー回路であり、

前記回路要素は、前記第1の半導体素子である

ことを特徴とする低域ろ波回路。

【請求項4】 請求項3に記載の低域ろ波回路において、

前記回路要素は、前記第1の半導体素子に代えて、前記第1のコンダクタンスに相当する抵抗値を呈する抵抗素子であり、

前記カレントミラー回路は、前記第1の電流に代えて、前記第1の電流に相当する第3の電流を入力とするものである

ことを特徴とする低域ろ波回路。

【請求項 5】 請求項 1 に記載の低域ろ波回路において、

前記回路要素は、第 1 のコンダクタンスを呈し、前記第 1 の電圧を前記第 1 の電流に変換する第 1 の電圧電流変換回路であり、

前記電流生成手段は、前記第 1 のコンダクタンスに対して前記所定比の第 2 のコンダクタンスを呈し、前記第 1 の電圧を前記第 2 の電流に変換する第 2 の電圧電流変換回路である

ことを特徴とする低域ろ波回路。

【請求項 6】 請求項 1 に記載の低域ろ波回路において、

前記加算手段は、前記第 2 のフィルタ手段を負帰還部分に有し、前記第 1 の電圧を非反転入力端子への入力とし、前記出力信号として、第 3 の電圧を出力する演算増幅器である

ことを特徴とする低域ろ波回路。

【請求項 7】 請求項 1 に記載の低域ろ波回路において、

前記加算手段は、前記第 1 および第 2 の電圧を入力とし、前記出力信号として、第 3 の電流を出力する演算相互コンダクタンス増幅器である

ことを特徴とする低域ろ波回路。

【請求項 8】 請求項 3 に記載の低域ろ波回路において、

前記第 1 の半導体素子は、与えられる第 1 のバイアス電流に応じて、前記第 1 のコンダクタンスを呈する第 1 のトランジスタであり、

前記第 2 の半導体素子は、与えられる第 2 のバイアス電流に応じて、前記第 2 のコンダクタンスを呈する第 2 のトランジスタであり、

前記第 1 および第 2 のバイアス電流は、共通のバイアス制御信号に基づいて、それぞれの大きさが変化するものである

ことを特徴とする低域ろ波回路。

【請求項 9】 請求項 3 に記載の低域ろ波回路において、

前記カレントミラー回路は、前記第 2 から第 n (n は 3 以上の自然数) までの半導体素子を出力側に有する一方、前記第 2 から第 n までの半導体素子に流れる電流の出力の有無をそれぞれ切り替えるスイッチを有するものであり、

前記スイッチは、前記第 2 から第 n までの半導体素子に流れる電流のうちのい

いずれか 1 つ、またはいずれか複数の合計を、前記第 2 の電流として出力するものである

ことを特徴とする低域ろ波回路。

【請求項 1 0】 請求項 4 に記載の低域ろ波回路において、

前記第 1 の半導体素子は、与えられる第 1 のバイアス電流に応じて、前記第 1 のコンダクタンスを呈する第 1 のトランジスタであり、

前記第 2 の半導体素子は、与えられる第 2 のバイアス電流に応じて、前記第 2 のコンダクタンスを呈する第 2 のトランジスタであり、

前記第 1 および第 2 のバイアス電流は、共通のバイアス制御信号に基づいて、それぞれの大きさが変化するものであり、

前記回路要素は、前記抵抗素子に代えて、前記第 1 のコンダクタンスに相当する抵抗値を呈し、前記第 1 のコンダクタンスの変化に応じて、前記抵抗値を変更可能な抵抗ラダー回路である

ことを特徴とする低域ろ波回路。

【請求項 1 1】 請求項 5 に記載の低域ろ波回路において、

前記第 1 および第 2 の電流変換回路は、共通のバイアス制御信号に基づいて、前記第 1 および第 2 のコンダクタンスを、それぞれ変更するものである

ことを特徴とする低域ろ波回路。

【請求項 1 2】 請求項 3 に記載の低域ろ波回路において、

前記第 1 および第 2 の半導体素子の少なくとも一方は、与えられるバイアス電流に応じて、前記第 1 および第 2 のコンダクタンスの少なくとも一方を呈するトランジスタであり、

当該低域ろ波回路は、

前記第 1 の電流を遮断したときの前記出力信号に基づいて、前記バイアス電流の調整を行うオフセット補償手段を備えた

ことを特徴とする低域ろ波回路。

【請求項 1 3】 請求項 1 2 に記載の低域ろ波回路において、

前記オフセット補償手段は、

前記第 1 の電流を遮断したときの前記出力信号の電圧を保持する電圧保持手段

を有し、

前記電圧保持手段によって保持された電圧に基づいて、前記調整を行うものである

ことを特徴とする低域ろ波回路。

【請求項 1 4】 請求項 1 2 に記載の低域ろ波回路において、

前記オフセット補償手段は、

前記第 1 の電流を遮断したときの前記出力信号の電圧と基準となる電圧との大小の比較をする比較器と、

前記比較器からの出力に基づいて、カウンタ値を増加または減少させるアップダウンカウンタと、

前記カウンタ値をアナログ値に変換する D A 変換器とを有し、

前記 D A 変換器からの出力に基づいて、前記調整を行うものであることを特徴とする低域ろ波回路。

【請求項 1 5】 請求項 3 に記載の低域ろ波回路において、

前記第 2 の半導体素子は、与えられるバイアス電流に応じて、前記第 2 のコンダクタンスを呈するトランジスタであり、

当該低域ろ波回路は、

前記第 2 の半導体素子、前記第 2 のフィルタ手段および前記加算手段からなる部分と同一に構成されたレプリカ回路と、

前記レプリカ回路からの出力に基づいて、前記レプリカ回路において前記第 2 の半導体素子に該当するトランジスタに与えられるバイアス電流の調整を行うとともに、前記第 2 の半導体素子に与えられる前記バイアス電流の調整を行うオフセット補償手段とを備えた

ことを特徴とする低域ろ波回路。

【請求項 1 6】 請求項 1 5 に記載の低域ろ波回路において、

前記オフセット補償手段は、所定の時定数を持つ反転増幅回路であることを特徴とする低域ろ波回路。

【請求項 1 7】 請求項 3 に記載の低域ろ波回路において、

前記第 1 の半導体素子は、与えられる第 1 のバイアス電流に応じて、前記第 1

のコンダクタンスを呈する第 1 のトランジスタであり、

前記第 2 の半導体素子は、与えられる第 2 のバイアス電流に応じて、前記第 2 のコンダクタンスを呈する第 2 のトランジスタであり、

当該低域ろ波回路は、

温度変化に応じて、前記第 1 および第 2 のバイアス電流の調整を行うバイアス調整手段を備えた

ことを特徴とする低域ろ波回路。

【請求項 1 8】 請求項 1 7 に記載の低域ろ波回路において、

前記バイアス調整手段は、

前記第 1 のトランジスタに対応する第 3 のトランジスタと、

前記第 2 のトランジスタに対応する第 4 のトランジスタとを有し、

前記第 3 および第 4 のトランジスタのそれぞれに所定の電流差のバイアス電流が与えられたときの、前記第 3 および第 4 のトランジスタのそれぞれに生じる電圧の差が所定の電圧差となるように、前記バイアス電流の調整を行うとともに、この調整に合わせて、前記第 1 および第 2 のバイアス電流の調整を行うものである

ことを特徴とする低域ろ波回路。

【請求項 1 9】 請求項 1 7 に記載の低域ろ波回路において、

前記バイアス調整手段は、温度変化に比例して、前記第 1 および第 2 のバイアス電流を変化させる温度補償回路である

ことを特徴とする低域ろ波回路。

【請求項 2 0】 第 1 および第 2 の入力信号の差動信号を入力とし、第 1 および第 2 の出力信号の差動信号を出力とする低域ろ波回路であって、

前記第 1 の入力信号を入力とし、前記第 1 の出力信号を出力とする第 1 の低域ろ波回路部と、

前記第 2 の入力信号を入力とし、前記第 2 の出力信号を出力とする第 2 の低域ろ波回路部とを備え、

前記第 1 および第 2 の低域ろ波回路部の少なくとも一方は、

前記第 1 または第 2 の入力信号を入力とし、第 1 の電圧を出力とする第 1 のフ

フィルタ手段と、

前記第 1 のフィルタ手段が有する回路要素であって、前記第 1 の電圧に応じて第 1 の電流を流す回路要素と、

前記第 1 の電流に対して所定比の第 2 の電流を生成する電流生成手段と、

前記第 2 の電流を入力とし、第 2 の電圧を出力とする第 2 のフィルタ手段と、

前記第 1 の電圧と前記第 2 の電圧とを加算し、前記第 1 または第 2 の出力信号を出力する加算手段とを有するものであることを特徴とする低域ろ波回路。

【請求項 2 1】 請求項 2 0 に記載の低域ろ波回路において、

前記電流生成手段は、第 1 のコンダクタンスを呈する第 1 の半導体素子を入力側に有する一方、前記第 1 のコンダクタンスに対して前記所定比の第 2 のコンダクタンスを呈する第 2 の半導体素子を出力側に有し、前記第 1 の電流を入力とし、前記第 2 の電流を出力とするカレントミラー回路であり、

前記回路要素は、前記第 1 の半導体素子であることを特徴とする低域ろ波回路。

【請求項 2 2】 請求項 2 0 に記載の低域ろ波回路において、

前記回路要素は、第 1 のコンダクタンスを呈し、前記第 1 の電圧を前記第 1 の電流に変換する第 1 の電圧電流変換回路であり、

前記電流生成手段は、前記第 1 のコンダクタンスに対して前記所定比の第 2 のコンダクタンスを呈し、前記第 1 の電圧を前記第 2 の電流に変換する第 2 の電圧電流変換回路である

ことを特徴とする低域ろ波回路。

【請求項 2 3】 入力クロックに基づいて生成した出力クロックを帰還させ、この出力クロックを所望の特性にする位相同期回路や遅延ロックスループ回路などのフィードバックシステムであって、

前記入力クロックと帰還された前記クロックとの位相差に基づいて、チャージ電流を生成するチャージポンプ回路と、

前記チャージ電流を入力とするループフィルタと、

前記ループフィルタからの出力信号に基づいて、前記出力クロックを生成する

出力クロック生成手段とを備え、

前記ループフィルタは、

前記チャージ電流を入力とし、第1の電圧を出力とする第1のフィルタ手段と

前記第1のフィルタ手段が有する回路要素であって、前記第1の電圧に応じて第1の電流を流す回路要素と、

前記第1の電流に対して所定比の第2の電流を生成する電流生成手段と、

前記第2の電流を入力とし、第2の電圧を出力とする第2のフィルタ手段と、

前記第1の電圧と前記第2の電圧とを加算し、前記出力信号を出力する加算手段とを有するものである

ことを特徴とするフィードバックシステム。

【請求項24】 請求項23に記載のフィードバックシステムにおいて、

前記出力クロック生成手段は、前記出力クロックを発振し、前記ループフィルタからの前記出力信号に基づいて、発振周波数を変化させる電圧制御発振器である

ことを特徴とするフィードバックシステム。

【請求項25】 請求項23に記載のフィードバックシステムにおいて、

前記出力クロック生成手段は、前記入力クロックおよび前記ループフィルタからの前記出力信号に基づいて、前記出力クロックの、前記入力クロックからの遅延量を変化させる電圧制御遅延回路である

ことを特徴とするフィードバックシステム。

【請求項26】 請求項23に記載のフィードバックシステムにおいて、

前記回路要素は、呈するコンダクタンスを変更可能なものであり、

当該フィードバックシステムは、

前記回路要素のコンダクタンスおよび前記チャージ電流を、共通のバイアス制御信号によって、変化させるバイアス制御手段を備えた

ことを特徴とするフィードバックシステム。

【請求項27】 請求項26に記載のフィードバックシステムにおいて、

前記電流生成手段は、与えられる第1のバイアス電流に応じて第1のコンダク

タンスを呈する第 1 の電界効果トランジスタを入力側に有する一方、与えられる第 2 のバイアス電流に応じて、前記第 1 のコンダクタンスに対して前記所定比の第 2 のコンダクタンスを呈する第 2 の電界効果トランジスタを出力側に有し、前記第 1 の電流を入力とし、前記第 2 の電流を出力とするカレントミラー回路であり、

前記回路要素は、前記第 1 の電界効果トランジスタであり、

前記バイアス制御手段は、前記バイアス制御信号によって、前記第 1 および第 2 のバイアス電流ならびに前記チャージ電流を、変化させるものであることを特徴とするフィードバックシステム。

【請求項 2 8】 請求項 2 6 に記載のフィードバックシステムにおいて、

前記回路要素は、第 1 のコンダクタンスを呈し、前記第 1 の電圧を前記第 1 の電流に変換する第 1 の電圧電流変換回路であり、

前記電流生成手段は、前記第 1 のコンダクタンスに対して前記所定比の第 2 のコンダクタンスを呈し、前記第 1 の電圧を前記第 2 の電流に変換する第 2 の電圧電流変換回路であり、

前記第 1 および第 2 の電流変換回路は、前記第 1 および第 2 のコンダクタンスを、それぞれ変更可能なものであり、

前記バイアス制御手段は、前記バイアス制御信号によって、前記第 1 および第 2 のコンダクタンスならびに前記チャージ電流を、変化させるものであることを特徴とするフィードバックシステム。

【請求項 2 9】 請求項 2 6 に記載のフィードバックシステムにおいて、

前記バイアス制御信号は、前記ループフィルタからの前記出力信号に基づいて、生成されるものであることを特徴とするフィードバックシステム。

【請求項 3 0】 請求項 2 6 に記載のフィードバックシステムにおいて、

前記加算手段は、演算増幅器であり、

前記バイアス制御手段は、前記バイアス制御信号によって、前記演算増幅器の帯域特性を変化させるものであることを特徴とするフィードバックシステム。

【請求項31】 請求項29に記載のフィードバックシステムにおいて、前記ループフィルタの前記出力信号について、前記加算手段からの出力に設定する第1の状態と、所定の電圧に設定する第2の状態とを切り替えるスタートアップ手段を備え、

前記スタートアップ手段は、当該フィードバックシステムの起動時に、前記第2の状態に設定するものであることを特徴とするフィードバックシステム。

【請求項32】 請求項31に記載のフィードバックシステムにおいて、前記加算手段は、前記第2のフィルタ手段を負帰還部分に有し、前記第1の電圧を非反転入力端子への入力とし、前記出力信号として、第3の電圧を出力する演算増幅器であり、

前記スタートアップ手段は、前記演算増幅器の入力端子間の短絡と開放とを切り替えるスイッチを有するものであり、

前記スイッチは、前記第1の状態のとき、前記入力端子間を開放する一方、前記第2の状態のとき、前記入力端子間を短絡するものであることを特徴とするフィードバックシステム。

【請求項33】 請求項31に記載のフィードバックシステムにおいて、前記スタートアップ手段は、前記所定の電圧の電源として、内部電源と外部電源とを切り替えるスイッチを有するものであることを特徴とするフィードバックシステム。

【請求項34】 入力クロックに基づいて生成した出力クロックを帰還させ、この出力クロックを所望の特性にする位相同期回路や遅延ロックスループ回路などのフィードバックシステムであって、

前記入力クロックと帰還された前記クロックとの位相差に基づいて、第1および第2のチャージ電流を生成するチャージポンプ回路と、

前記第1および第2のチャージ電流の差動信号を入力とし、第1および第2の出力信号を出力とするループフィルタと、

前記第1および第2の出力信号の差動信号を入力とし、前記出力クロックを生成する出力クロック生成手段とを備え、

前記ループフィルタは、

前記第1のチャージ電流を入力とし、前記第1の出力信号を出力とする第1の低域ろ波回路と、

前記第2のチャージ電流を入力とし、前記第2の出力信号を出力とする第2の低域ろ波回路とを有するものであり、

前記第1および第2の低域ろ波回路の少なくとも一方は、

前記第1および第2のチャージ電流の少なくとも一方を入力とし、第1の電圧を出力とする第1のフィルタ手段と、

前記第1のフィルタ手段が有する回路要素であって、前記第1の電圧に応じて第1の電流を流す回路要素と、

前記第1の電流に対して所定比の第2の電流を生成する電流生成手段と、

前記第2の電流を入力とし、第2の電圧を出力とする第2のフィルタ手段と、

前記第1の電圧と前記第2の電圧とを加算し、前記第1および第2の出力信号の少なくとも一方を出力する加算手段とを有するものであることを特徴とするフィードバックシステム。

【請求項35】 請求項1に記載の低域ろ波回路を備えたことを特徴とする半導体集積回路。

【請求項36】 請求項23に記載のフィードバックシステムを備えたことを特徴とする半導体集積回路。

【請求項37】 請求項36に記載の半導体集積回路において、当該半導体集積回路は、ICカードに用いられるものであることを特徴とする半導体集積回路。

【請求項38】 請求項36に記載の半導体集積回路において、当該半導体集積回路は、チップ・オン・チップ構造をしたものであり、前記フィードバックシステムは、前記チップ・オン・チップ構造における上層部に実装されていることを特徴とする半導体集積回路。

【請求項39】 請求項36に記載の半導体集積回路において、前記フィードバックシステムは、当該半導体集積回路のパッド領域に実装され

ている

ことを特徴とする半導体集積回路。

【請求項 4 0】 請求項 3 6 に記載の半導体集積回路において、

当該半導体集積回路は、マイクロプロセッサである

ことを特徴とする半導体集積回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

本発明は、低域ろ波回路に関するものであり、特に、位相同期回路などにおけるループフィルタとしての使用に好適な低域ろ波回路、およびそのような低域ろ波回路を備えた位相同期回路の技術に属する。

【0 0 0 2】

【従来の技術】

位相同期回路（以下、「PLL」と称する）は、今や、半導体集積回路システムにおける必須の構成要素となっており、ほとんどすべてのLSIに搭載されている。また、その応用範囲は、通信機器を始め、マイクロプロセッサやICカードなど、さまざまな分野にわたっている。

【0 0 0 3】

図 2 8 は、一般的なチャージポンプ型 PLL の構成を示す。同図を参照しながら、PLL の概要を説明する。位相比較器 1 0 は、PLL に与えられる入力クロック CK_{in} と帰還クロック CK_{div} との位相差を比較し、この位相差に応じたアップ信号 UP およびダウン信号 DN を出力する。チャージポンプ回路 2 0 は、アップ信号 UP およびダウン信号 DN に基づいて、チャージ電流 I_p を出力する。ループフィルタ 3 0 は、チャージ電流 I_p を平滑化し、電圧 V_{out} として出力する。電圧制御発振器 4 0 は、電圧 V_{out} に基づいて、PLL の出力クロック CK_{out} の周波数を変化させる。N 分周器 5 0 は、出力クロック CK_{out} を N 分周し、帰還クロック CK_{div} として位相比較器 1 0 にフィードバックする。以上の動作の繰り返すうちに、出力クロック CK_{out} は次第に所望の周波数に収束し、ロックされる。

【0004】

上記のPLLの構成要素のうち、ループフィルタ30は特に重要な要素である。ループフィルタ30のフィルタ特性によって、PLLの応答特性が決定されると言ってもよい。

【0005】

図29は、一般的なループフィルタを示す。同図(a)に示した受動フィルタは、後段に回路が接続されることによって、特性が変化するなどの欠点がある。この欠点を解消すべく、能動タイプにしたものが、同図(b)に示した能動フィルタである。なお、両者の伝達特性は互いに等価変換が可能である。このように、ループフィルタ30は、抵抗素子Rおよび容量素子Cの組み合わせによる低域ろ波回路によって実現されるのが一般的である。

【0006】

PLLの制御理論によると、PLLの応答帯域幅は、最大でも入力クロックの10分の1程度の周波数にすることが好ましいとされている。この理論に従うと、比較的低い周波数の入力クロックを入力とするPLLでは、ループフィルタのカットオフ周波数を低くして、応答帯域幅を狭くする必要がある。したがって、従来のPLLにおけるループフィルタは、比較的大きな時定数、すなわち大きなCR積を有している。大きなCR積を実現するには、容量素子を大きくするのが一般的である。

【0007】

一方、PLLの応答速度は、ダンピングファクタによって左右される。ダンピングファクタは、PLLの入力クロックの周波数に応じて変化するが、PLLの応答性の安定化させるためにも、一定にすることが好ましい。したがって、従来の広帯域な周波数の入力クロックを入力とするPLLでは、フィルタ特性を変更可能なループフィルタを用いて、ダンピングファクタの調整を行っている。

【0008】

図30は、従来のフィルタ特性を変更可能なループフィルタを示す。同図(a)に示したループフィルタは、抵抗ラダー回路100を備えている。抵抗ラダー回路100は、同図(b)に示すように、多数の抵抗素子とスイッチとから構成

され、スイッチを適宜制御することにより、さまざまな抵抗値を呈するものである。一般に、PLLには、このような抵抗ラダー回路100を備えたループフィルタが用いられている。

【0009】

また、図31は、従来のフィルタ特性を変更可能なループフィルタの別例である。同図に示したループフィルタ30は、積分回路30-1と、反転増幅回路30-2と、加算器30-3とを備えている。積分回路30-1は、第1のチャージポンプ回路20aから出力されるチャージ電流 I_{p1} を積分して、平滑化された電圧を出力する。反転増幅回路30-2は、第2のチャージポンプ回路20bから出力されるチャージ電流 I_{p2} を反転増幅する。そして、加算器30-3は、積分回路30-1の出力と反転増幅回路30-2の出力とを加算し、ループフィルタ30の出力電圧を得る。このようなループフィルタ30では、チャージ電流 I_{p1} とチャージ電流 I_{p2} との比率を適宜変えることによって、PLLのダンピングファクタの調整を行うことができる（たとえば、特許文献1参照）。

【0010】

【特許文献1】

特許第2778421号公報

【0011】

【発明が解決しようとする課題】

上述したように、比較的低い周波数の入力クロックを入力とするPLLでは、ループフィルタのCR積を大きくするために、大型の容量素子が用いられる。さらに、広帯域の周波数の入力クロックを入力とするPLLでは、ダンピングファクタの調整のために、図30に示したような抵抗ラダー回路や、図31に示したような複数のチャージポンプ回路および演算増幅器を備える必要がある。これらはすべて、回路規模を増大させる要因となる。

【0012】

PLLの応用製品のうち、大型の容量素子の外付けが困難なものについては、PLLの回路面積の低減が重要となる。特に、ICカードでは、信頼性の観点から、カードの厚さ以上の部品を実装することは避けなければならない。したがっ

て、大容量の容量素子を外付けすることは実質不可能であり、PLLの回路面積低減は必須の課題である。また、PLLをパッド領域に実装するようなLSIについても同様である。

【0013】

また、チップ・オン・チップ構造のLSIについて、上層のチップに組み込まれるPLLは、より小規模であることが好ましい。また、マイクロプロセッサには多数のPLLが用いられるため、PLLの回路面積は、マイクロプロセッサ全体の回路面積に大きく影響する。

【0014】

上記の問題に鑑み、本発明は、従来と同等のフィルタ特性を有しながらも、より小さな回路面積で実現可能な低域ろ波回路、およびそのような低域ろ波回路をループフィルタとして備えたPLLなどの提供を課題とする。特に、大型の容量素子を用いることなく、低域ろ波回路を実現することを課題とする。さらに、そのような低域ろ波回路のフィルタ特性を可変とし、PLLのダンピングファクタを調整可能にすることを課題とする。

【0015】

【課題を解決するための手段】

図1は、上記の課題を解決するために本発明が講じた手段としての、低域ろ波回路の構成を示す。本発明の低域ろ波回路30は、当該低域ろ波回路の入力信号を入力とし、第1の電圧を出力とする第1のフィルタ手段31と、第1のフィルタ手段31が有する回路要素であって、前記第1の電圧に応じて第1の電流を流す回路要素311と、前記第1の電流に対して所定比の第2の電流を生成する電流生成手段32と、前記第2の電流を入力とし、第2の電圧を出力とする第2のフィルタ手段33と、前記第1の電圧と前記第2の電圧とを加算し、当該低域ろ波回路30の出力信号を得る加算手段34とを備えている。

【0016】

本発明によると、低域ろ波回路の入力信号は、第1のフィルタ手段31によって第1次のフィルタリング処理が行われ、第1の電圧が出力される。このとき、電流生成手段32によって、第1の電圧に応じて第1のフィルタ手段の回路要素

に流れる第1の電流に対して所定比である第2の電流が生成される。電流生成手段32は、第1の電流自体を増幅するものではないため、第2の電流の生成によって、第1のフィルタ手段31の出力が影響を受けることはない。そして、第1のフィルタ手段31の後段の第2のフィルタ手段33には、第1の電流ではなく、電流生成手段32によって生成される第2の電流を与えるようにする。第2の電流は、第2のフィルタ手段33によって第2次のフィルタリング処理が行われ、第2の電圧が出力される。そして、最後に、加算手段34によって、第1の電圧と第2の電圧とが加算され、当該低域ろ波回路の出力信号が得られる。

【0017】

上記のような構成の低域ろ波回路において、第1の電流に対する第2の電流の所定比を変更し、それに応じて第2のフィルタ手段の伝達特性を変更することにより、第2のフィルタ手段からは元通りの第2の電圧が出力され、低域ろ波回路は、見掛け上、元通りの伝達特性を呈する。すなわち、回路規模が小さくなるように第2のフィルタ手段の構成を変え、これにより伝達特性が変化したとしても、この変化に応じて上記所定比を変更することにより、低域ろ波回路のフィルタ特性が変化することはない。したがって、本発明により、従来と同等のフィルタ特性を有しながらも、従来と比較して回路面積を低減可能な低域ろ波回路を実現することができる。

【0018】

本発明の低域ろ波回路において、前記所定比は、1よりも小さな正数であることが好ましい。これにより、第1の電流よりも小さな第2の電流が生成されるため、第2のフィルタ手段を構成する容量素子として、小さな容量値のもので足りるようになる。したがって、第2のフィルタ手段の構成を小規模にでき、結果として、低域ろ波回路の回路面積を低減することができる。

【0019】

具体的に、本発明の低域ろ波回路における前記電流生成手段は、前記第1の電流を入力とし、前記第2の電流を出力とするカレントミラー回路によって実現可能である。このカレントミラー回路の入力側には、第1のコンダクタンスを呈する第1の半導体素子が設けられる。この第1の半導体素子は、第1のフィルタ手

段が有する回路要素でもある。また、カレントミラー回路の出力側には、前記第 1 のコンダクタンスに対して前記所定比の第 2 のコンダクタンスを呈する第 2 の半導体素子が設けられる。この回路要素は、前記第 1 の半導体素子に代えて、第 1 のコンダクタンスに相当する抵抗値を呈する抵抗素子としてもよい。この場合、前記カレントミラー回路は、前記第 1 の電流に代えて、前記第 1 の電流に相当する第 3 の電流を入力とするものとする。

【0020】

また、具体的に、本発明の低域ろ波回路における前記回路要素は、第 1 のコンダクタンスを呈し、前記第 1 の電圧を前記第 1 の電流に変換する第 1 の電圧電流変換回路によって、前記電流生成手段は、第 2 のコンダクタンスを呈し、前記第 1 の電圧を前記第 2 の電流に変換する第 2 の電圧電流変換回路によって、それぞれ実現可能である。ただし、この第 1 および第 2 のコンダクタンスの比は、前記所定比とする。

【0021】

本発明の低域ろ波回路における前記加算手段は、具体的には、演算増幅器や演算相互コンダクタンス増幅器によって実現可能である。演算増幅器の場合、負帰還部分に前記第 2 のフィルタ手段を有し、前記第 1 の電圧を非反転入力端子への入力とし、低域ろ波回路の出力信号として第 3 の電圧を出力するものとする。また、演算相互コンダクタンス増幅器の場合、低域ろ波回路の出力信号として第 3 の電流を出力するものとする。

【0022】

そして、好ましくは、本発明の低域ろ波回路において、前記第 1 および第 2 の半導体素子は、それぞれ、与えられる第 1 および第 2 のバイアス電流に応じて、前記第 1 および第 2 のコンダクタンスを呈する第 1 および第 2 のトランジスタとする。そして、前記第 1 および第 2 のバイアス電流は、共通のバイアス制御信号に基づいて、それぞれの大きさが変化するものとする。第 1 および第 2 のバイアス電流の大きさが変化することは、すなわち、第 1 および第 2 のコンダクタンスが変化することを意味する。第 1 および第 2 のコンダクタンスが変化することにより、低域ろ波回路のフィルタ特性を動的に変更することができる。しかも、こ

のフィルタ特性の変更は、第1および第2のバイアス電流に共通のバイアス制御信号に基づいて行うことができる。したがって、低域ろ波回路のフィルタ特性変更のための抵抗ラダー回路が不要となり、回路規模をより縮小することができる。また、特に、位相同期回路などにおけるループフィルタとして用いる場合に、バイアス制御信号CS1によって、容易にダンピングファクタを調整することができるため、有効である。

【0023】

同様に、前記第1および第2の電圧電流変換回路は、共通のバイアス制御信号に基づいて、前記第1および第2のコンダクタンスを、それぞれ変更するものであることが好ましい。これにより、上記と同様の理由により、回路規模をより縮小することが出来る。

【0024】

また、本発明の低域ろ波回路における前記カレントミラー回路の出力側に、第2から第 n (n は3以上の自然数)までの半導体素子、およびこの第2から第 n までの半導体素子に流れる電流の出力の有無をそれぞれ切り替えるスイッチを設けるとよい。そして、このスイッチは、前記第2から第 n までの半導体素子に流れる電流のうちのいずれか1つ、またはいずれか複数の合計を、前記第2の電流として出力するものとする。これにより、第2の電流の大きさを段階的、すなわちデジタル的に切り替えることができる。

【0025】

また、前記回路要素を抵抗素子とした構成において、さらに、前記回路要素を、前記抵抗素子に代えて、抵抗ラダー回路にするとよい。この場合、抵抗ラダー回路は、前記第1のコンダクタンスの変化に応じて、前記抵抗値を変更可能であるとする。これにより、低域ろ波回路のフィルタ特性を動的に変化させることができる。

【0026】

一方、上記の課題を解決するために本発明が講じた手段は、フィードバックシステムとして、入力クロックと帰還されたクロックとの位相差に基づいてチャージ電流を生成するチャージポンプ回路と、前記チャージ電流を入力とするループ

フィルタと、前記ループフィルタからの出力信号に基づいて前記出力クロックを生成する出力クロック生成手段とを備え、前記ループフィルタは、前記チャージ電流を入力とし、第1の電圧を出力とする第1のフィルタ手段と、前記第1のフィルタ手段が有する回路要素であって、前記第1の電圧に応じて第1の電流を流す回路要素と、前記第1の電流に対して所定比の第2の電流を生成する電流生成手段と、前記第2の電流を入力とし、第2の電圧を出力とする第2のフィルタ手段と、前記第1の電圧と前記第2の電圧とを加算し、前記出力信号を出力する加算手段とを有するものとする。このように、フィードバックシステムのループフィルタとして、図1に示す構成の低域ろ波回路を用いることによって、フィードバックシステムの回路面積を低減することができる。

【0027】

ここで、フィードバックシステムとは、入力クロックに基づいて生成した出力クロックを帰還させ（帰還クロック）、この出力クロックを所望の特性にするフィードバック回路のことをいう。この代表例として、入力クロックに基づいて所望の周波数の出力クロックを生成する位相同期回路や、入力クロックに対して所望の位相遅延を持つ出力クロックを生成する遅延ロックループ回路などが挙げられる。

【0028】

具体的に、前記出力クロック生成手段は、前記出力クロックを発振し、前記ループフィルタからの前記出力信号に基づいて、発振周波数を変化させる電圧制御発振器とする。これにより、低回路面積の位相同期回路を実現することができる。

【0029】

また、具体的に、前記出力クロック生成手段は、前記入力クロックおよび前記ループフィルタからの前記出力信号に基づいて、前記出力クロックの、前記入力クロックからの遅延量を変化させる電圧制御遅延回路とする。これにより、低回路面積の遅延ロックループ回路を実現することができる。

【0030】

好ましくは、前記回路要素は、呈するコンダクタンスを変更可能なものとし、

前記フィードバックシステムは、前記回路要素のコンダクタンスおよび前記チャージ電流を、共通のバイアス制御信号によって変化させるバイアス制御手段を備えたものとする。これにより、回路要素が呈するコンダクタンスおよびチャージ電流が、共通のバイアス制御信号に基づいてともに変化するため、ダンピングファクタを一定に保つことができる。

【0031】

具体的には、前記電流生成手段は、与えられる第1のバイアス電流に応じて第1のコンダクタンスを呈する第1の電界効果トランジスタを入力側に有する一方、与えられる第2のバイアス電流に応じて、前記第1のコンダクタンスに対して前記所定比の第2のコンダクタンスを呈する第2の電界効果トランジスタを出力側に有し、前記第1の電流を入力とし、前記第2の電流を出力とするカレントミラー回路とする。この場合、前記回路要素は、前記第1の電界効果トランジスタとする。そして、前記バイアス制御手段は、前記バイアス制御信号によって、前記第1および第2のバイアス電流ならびに前記チャージ電流を、変化させるものとする。

【0032】

また、具体的には、前記回路要素は、第1のコンダクタンスを呈し、前記第1の電圧を前記第1の電流に変換する第1の電圧電流変換回路とし、前記電流生成手段は、前記第1のコンダクタンスに対して前記所定比の第2のコンダクタンスを呈し、前記第1の電圧を前記第2の電流に変換する第2の電圧電流変換回路とする。これら第1および第2の電圧電流変換回路は、前記第1および第2のコンダクタンスを、それぞれ変更可能なものとする。そして、前記バイアス制御手段は、前記バイアス制御信号によって、前記第1および第2のコンダクタンスならびに前記チャージ電流を変化させるものとする。

【0033】

一方、好ましくは、前記バイアス制御信号は、前記ループフィルタからの前記出力信号に基づいて、生成されるものとする。これにより、ループフィルタの出力に基づいて、適応的に、ループフィルタにおける前記回路要素のコンダクタンスおよびチャージ電流を変化させることができる。すなわち、ループフィルタか

らの出力に基づいて、適応的に応答特性を変更可能なフィードバックシステムを実現することができる。

【0034】

また、好ましくは、前記バイアス制御手段は、前記バイアス制御信号によって、前記演算増幅器の帯域特性を変化させるものとする。

【0035】

【発明の実施の形態】

以下、図面を参照しながら、本発明の実施の形態について説明する。

【0036】

（第1の実施形態）

図2は、本発明の第1の実施形態の低域ろ波回路を示す。本実施形態の低域ろ波回路30Aは、容量素子312、カレントミラー回路32A、容量素子33、演算増幅器34A、電流源35a、35b、オフセット補償手段36、およびバイアス調整手段37を備えた2次の能動フィルタである。なお、低域ろ波回路30Aは、半導体集積回路として構成することが可能である。

【0037】

低域ろ波回路30Aは、たとえば、図28に示したようなPLLに適用が可能である。この場合、低域ろ波回路30Aは、チャージポンプ回路20からチャージ電流 I_p （ただし、電流の向きは、図28に示したものと逆になる）を入力とし、制御電圧 V_{out} を出力して、電圧制御発振器40を制御する。

【0038】

カレントミラー回路32Aは、本発明の電流生成手段に相当する。カレントミラー回路32Aは、入力側に第1の半導体素子として電界効果トランジスタ311Aを有する一方、出力側に第2の半導体素子として電界効果トランジスタ321Aを有し、第1の電流 I_{in} を入力とし、第2の電流 I_{out} を出力とする。トランジスタ311Aは、電流源35aから与えられる第1のバイアス電流 I_{b1} に応じて、その電気特性として第1のコンダクタンス g_{m1} を呈する。同様に、トランジスタ321Aは、電流源35bから与えられる第2のバイアス電流 I_{b2} に応じて、その電気特性として、第1のコンダクタンス g_{m1} に対して所定

比の第2のコンダクタンス g_{m2} を呈する。本実施形態の場合、この所定比は、カレントミラー回路 32A のミラー比ということになる。

【0039】

容量素子 312 は、トランジスタ 311A とともに、本発明の第1のフィルタ手段 31A を構成する。トランジスタ 311A は、本発明の、第1のフィルタ手段が有する回路要素に相当する。第1のフィルタ手段 31A は、低域ろ波回路 30A の入力信号である電流 I_p を入力とし、第1の電圧 V_p を出力とする。

【0040】

容量素子 33 は、本発明の第2のフィルタ手段に相当する。容量素子 33 は、カレントミラー回路 32A から出力される第2の電流 I_{out} を入力とし、第2の電圧を出力とする。図2の場合、第2の電圧は、電圧 V_{out} と電圧 V_m との電圧差である。

【0041】

演算増幅器 34A は、本発明の加算手段に相当する。演算増幅器 34A は、容量素子 33 を負帰還部分に有し、第1の電圧 V_p を非反転入力端子への入力とし、低域ろ波回路 30A の出力信号として第3の電圧 V_{out} を出力する。すなわち、演算増幅器 34A は、容量素子 33 とともに能動タイプの積分回路を構成しており、第2の電流 I_{out} を入力し、これを積分して、第3の電圧 V_{out} を出力する。

【0042】

オフセット補償手段 36 およびバイアス調整手段 37 については、後ほど詳細に説明する。

【0043】

次に、以上のように構成された低域ろ波回路 30A の動作について説明する。なお、オフセット補償手段 36 およびバイアス調整手段 37 はないものとして説明する。

【0044】

低域ろ波回路 30A に与えられる電流 I_p は、第1のフィルタ手段 31A によって第1次のフィルタリング処理が行われ、第1の電圧 V_p が出力される。この

とき、カレントミラー回路 3 2 A の入力側に流れる第 1 の電流 I_{in} が、出力側にミラーされる。ここで、第 1 のコンダクタンス g_{m1} と第 2 のコンダクタンス g_{m2} とが等しい、すなわちミラー比を“1”とすると、カレントミラー回路 3 2 A の出力側には、第 1 の電流 I_{in} の反転に相当する第 2 の電流 I_{out} が流れる。第 2 の電流 I_{out} は、容量素子 3 3 によって第 2 次のフィルタリング処理が行われ、第 2 の電圧が出力される。演算増幅器 3 4 A の反転入力端子および非反転入力端子は、いわゆる仮想短絡により同電位となるため、演算増幅器 3 4 A からは、第 1 の電圧 V_p に第 2 の電圧が加算された第 3 の電圧 V_{out} が出力される。

【 0 0 4 5 】

また、電流源 3 5 a, 3 5 b には共通のバイアス制御信号 CS_1 が与えられており、このバイアス制御信号 CS_1 に基づいて、第 1 および第 2 のバイアス電流が変化するようにになっている。第 1 および第 2 のバイアス電流が変化すると、トランジスタ 3 1 1 A, 3 2 1 A の第 1 および第 2 のコンダクタンス g_{m1} , g_{m2} もまた変化する。すなわち、低域ろ波回路 3 0 A は、抵抗ラダー回路を用いることなく、バイアス制御信号 CS_1 によって、フィルタ特性を動的に変更可能となっている。

【 0 0 4 6 】

次に、低域ろ波回路 3 0 A が、一般的な 2 次の能動フィルタと等しい伝達特性を持つことを示す。

【 0 0 4 7 】

図 3 は、低域ろ波回路 3 0 A の伝達特性を説明するための図である。図 3 (a) は、図 2 9 (b) に示した一般的な 2 次の能動フィルタを再掲したものである。ここで、抵抗素子 3 1 1 A', 3 2 1 A' の抵抗値をいずれも“R”とし、容量素子 3 1 2 の容量値を“ C_x ”とし、容量素子 3 3 の容量値を“C”とし、そして演算増幅器 3 4 A の増幅率を“A”としたときの、点 n および点 m における接点方程式、ならびに電圧 V_{out} は、それぞれ次の式 (1) ~ 式 (3) のようになる。

【 0 0 4 8 】

【数 1】

$$-I_p + V_n \cdot sC_x + \frac{V_n - V_m}{R} = 0 \quad \dots\dots\dots (1)$$

$$\frac{V_m - V_n}{R} + \frac{V_m - V_{out}}{R + \frac{1}{sC}} = 0 \quad \dots\dots\dots (2)$$

$$V_{out} = A \cdot (-V_m) \quad \dots\dots\dots (3)$$

【0049】

ここで、演算増幅器 34 A の増幅率 “A” の無限大を仮定すると、伝達関数 V_{out} / I_p として式 (4) を得る。

【0050】

【数 2】

$$V_{out} / I_p = -\frac{R \cdot sC + 1}{sC(R \cdot sC_x + 1)} \quad \dots\dots\dots (4)$$

【0051】

一方、低域ろ波回路 30 A について、トランジスタ 311 A, 321 A のコンダクタンスをいずれも “ g_m ” とし、容量素子 312, 33 の容量値および演算増幅器 34 A の増幅率を上記と同様にしたとき、点 n および点 m における接点方程式、ならびに電圧 V_{out} は、それぞれ次の式 (5) ~ 式 (7) のようになる。

【0052】

【数 3】

$$I_p + V_p \cdot sC_x + V_p \cdot g_m = 0 \quad \dots\dots\dots (5)$$

$$V_m \cdot g_m + (V_m - V_{out}) \cdot sC = 0 \quad \dots\dots\dots (6)$$

$$V_{out} = A \cdot (V_p - V_m) \quad \dots\dots\dots (7)$$

【0053】

ここで、先ほどと同様に、演算増幅器 34 の増幅率 “A” の無限大を仮定する

と、伝達関数 V_{out}/I_p として式 (8) を得る。

【0054】

【数4】

$$V_{out}/I_p = -\frac{\frac{sC}{g_m} + 1}{sC(\frac{sC_x}{g_m} + 1)} \dots\dots\dots (8)$$

【0055】

式 (8) において、 $g_m = 1/R$ とすると、式 (4) と同じものとなる。つまり、低域ろ波回路 30A は、図 29 (b) に示した一般的な 2 次の能動フィルタと等しい伝達特性を持つことがわかる。

【0056】

次に、低域ろ波回路 30A の回路面積の低減、特に、容量素子 33 の小型化について説明する。

【0057】

図 4 は、低域ろ波回路 30A におけるカレントミラー回路 32A のミラー比を変えたときを示す。同図に示すように、トランジスタ 311A とトランジスタ 321A とのコンダクタンス比を、 $1:\alpha$ に設定する。トランジスタのコンダクタンスは、たとえば、 W/L (W :ゲート幅、 L :ゲート長) を変えることによって調整することができる。また、第 1 のバイアス電流と第 2 のバイアス電流の比もまた、上記と同様に $1:\alpha$ に設定する。すなわち、カレントミラー回路 32A のミラー比を “ α ” に設定する。

【0058】

カレントミラー回路 32A のミラー比が “ α ” にされた低域ろ波回路 30A の伝達特性を、図 2 に示した元の低域ろ波回路 30A と同一にするには、式 (8) から、容量素子 33 の容量値を “ $\alpha \cdot C$ ” にすればよいことがわかる。したがって、“ α ” を 1 より小さな正数に設定することによって、容量素子 33 の容量値を小さくすることができる。なお、“ α ” を小さくした場合、低域ろ波回路 30A の実際の伝達特性は、式 (8) による論理値からずれてしまうが、少なくとも “ α ” は $1/10 \sim 1/100$ 程度にまで小さくすることが可能である。

【0059】

次に、オフセット補償手段36によるオフセット電流の補償について説明する。

【0060】

低域ろ波回路30Aはカレントミラー回路32Aを用いるため、電流源35a、35bの特性のばらつきや、トランジスタ311A、321Aの特性のばらつきなどによって、定常状態において、第1の電流 I_{in} と第2の電流 I_{out} との間に誤差、すなわちオフセットが生じてしまうという問題がある。このため、オフセット補償手段36を設けて、オフセット電流を補償する。オフセット補償手段36は、カレントミラー回路32Aに入力される第1の電流 I_{in} を遮断したときに生じる電圧 V_{out} に基づいて、電圧 V_{out} がゼロになるように電流源35bのバイアスを変更し、第2のバイアス電流 I_{b2} の調整を行う。

【0061】

図5は、オフセット補償手段の具体例を示す。オフセット補償手段36Aは、スイッチ361、電圧保持手段362、および信号反転手段363を備えている。第1の電流 I_{in} を遮断した状態で、スイッチ361を閉じることによって、電圧保持手段362に電圧 V_{out} が与えられ、電圧保持手段362はこの電圧 V_{out} を保持する。電圧保持手段362は、たとえば、サンプル・ホールド回路や、あるいは単に容量素子によって実現可能である。電圧保持手段362が保持する電圧は、信号反転手段363によって電圧が反転されて、制御電圧 V_{c1} として出力される。信号反転手段363は、たとえば、反転増幅回路によって実現可能である。制御電圧 V_{c1} は、電流源35bにフィードバックされ、電流源35bの第2のバイアス電流 I_{b2} を調整する。以上のような構成のフィードバックループは、オフセット電流がゼロになるときに安定する。フィードバックループが安定した後にスイッチ361を開くことによって、低域ろ波回路30Aが使用可能となる。このとき、電圧保持手段362は、フィードバックループが安定するときの電圧を保持しており、この電圧に基づいて第2のバイアス電流 I_{b2} の調整が行われる。

【0062】

しかし、電圧保持手段362に保持された電圧は、時間経過とともに、回路のリーク電流などによって変動してしまう。そこで、フィードバックループが安定するときの電圧をアナログ値として保持するのではなく、次の示すようにデジタル値として保持するようにする。

【0063】

図6は、オフセット補償手段の別の具体例を示す。オフセット補償手段36Bは、スイッチ361、比較器364、アップダウンカウンタ365、およびDA変換器366を備えている。第1の電流 I_{in} を遮断した状態で、スイッチ361を閉じることによって、比較器364に電圧 V_{out} が与えられる。比較器364は、電圧 V_{out} と基準となる電圧（たとえば、グランド電圧）とを比較し、その大小に応じて、電源電圧またはグランド電圧を出力する。アップダウンカウンタ365は、比較器364からの出力に基づいてカウンタ値を増加または減少させる。DA変換器366は、アップダウンカウンタ365のカウンタ値を、アナログ値の制御電圧 V_{c1} に変換する。アップダウンカウンタ365およびDA変換器366は、共通の制御クロックに同期してサンプリングを行う。このような構成により、オフセット補償手段36Bは、フィードバックループが安定するときの電圧をカウンタ値、すなわちデジタル値で保持する。

【0064】

上記のように、オフセット補償手段36Aは、電圧保持手段362に保持された電圧が変動するという欠点はあるが、比較的小規模な回路構成で実現可能である。一方、オフセット補償手段36Bは、回路構成こそ大きくなるものの、高い精度でオフセット電流を補償することができる。さらに、DA変換器366のビット精度を上げることにより、オフセット電流補償の精度をより一層向上させることができる。

【0065】

なお、上記の説明において、制御電圧 V_{c1} を電流源35bにフィードバックするとしたが、電流源35aにフィードバックしてもよい。また、制御電圧 V_{c1} によって、電流源35a、35bをとともに制御するようにしてもよい。いずれの場合でも、上記と同様の効果を得ることができる。

【0066】

また、レプリカ回路を設けてオフセット電流を補償することも可能である。図7は、オフセット補償用のレプリカ回路を設けた低域ろ波回路を示す。レプリカ回路38は、トランジスタ321Aに対応するトランジスタ321A'、電流源35bに対応する電流源35b'、容量素子33に対応する容量素子33'、および演算増幅器34Aに対応する演算増幅器34A'を備え、第1の電圧 V_p を入力とし、第3の電圧 V_{out} に相当する電圧 V_{out}' を出力とする。オフセット補償手段36は、入力とする電圧 V_{out}' を反転し、制御電圧 V_{c1} として出力する。この場合のオフセット補償手段36は、所定の時定数を持つ反転増幅回路によって実現可能である。制御電圧 V_{c1} は、電流源35b'にフィードバックされ、レプリカ回路38のオフセット電流がゼロになるように、電流源35b'のバイアス電流 I_{b2} を調整する。そして、この制御電圧 V_{c1} を電流源35bにも与えることによって、カレントミラー回路32Aのオフセット電流を補償することができる。このように、レプリカ回路38を用いた方法によると、低域ろ波回路30Aにおける各回路要素と、レプリカ回路38においてこれら回路要素に対応するものとの、相対的な精度の範囲内で、オフセット電流出力を最小化することができる。

【0067】

以上のように、オフセット補償手段36やレプリカ回路38によって、カレントミラー回路32Aに生じるオフセット電流を補償し、オフセット電流による電圧 V_{out} のドリフトを解消することができる。これにより、低域ろ波回路30Aのフィルタリングの精度を向上させることができる。

【0068】

次に、バイアス調整手段37によるバイアス調整について説明する。

【0069】

低域ろ波回路30Aにおける第1のフィルタ手段31Aは、抵抗性の回路要素として、トランジスタ311Aを用いている。トランジスタ311Aの第1のコンダクタンス g_{m1} は、電流源35aによって与えられる第1のバイアス電流 I_{b1} に応じて決まる。しかし、一般に、トランジスタが呈するコンダクタンスは

、たとえバイアスされる電流が一定でも、温度変化に応じて変化してしまう。すなわち、温度が変化すると、フィルタ特性が変化してしまうことになる。この問題を解消すべく、低域ろ波回路 30A にバイアス調整手段 37 を設けて、温度変化に対して、トランジスタ 311A、321A が呈する第 1 および第 2 のコンダクタンス g_{m1} 、 g_{m2} が一定となるようにする。

【0070】

図 8 は、バイアス調整手段の具体例である。バイアス調整手段 37A は、トランジスタ 311A に対応する第 3 のトランジスタ 371a、トランジスタ 321A に対応する第 4 のトランジスタ 371b、電流源 35a に対応する電流源 372a、電流源 35b に対応する電流源 372b、トランジスタ 371a にさらに追加のバイアス電流 I_{ref} を与える電流源 372、および差動増幅回路 374 を備えている。トランジスタ 371a、371b は、いずれもダイオード接続されている。

【0071】

バイアス調整手段 37A におけるトランジスタ 371a、371b のそれぞれには、電流差 I_{ref} のバイアス電流が与えられる。これにより、トランジスタ 371a、372b のそれぞれに生じる電圧の差として、電圧差 ΔV が生じる。差動増幅回路 374 は、電圧差 ΔV を入力とし、これが電圧 V_{ref} となるように、制御電圧 V_{c2} を出力する。制御電圧 V_{c2} は、電流源 372a、372b にフィードバックされ、それぞれの電流源のバイアス電流を調整する。以上のよう構成されたフィードバックループにより、温度が変化しても、電流差 I_{ref} に対して電圧差 V_{ref} となるように、すなわちコンダクタンス (I_{ref}/V_{ref}) が一定となるように、電流源 372a、372b のバイアス電流が制御される。そして、この制御電圧 V_{c2} を用いて、すなわち、電流源 372a、372b の調整に合わせて、電流源 35a、35b の第 1 および第 2 のバイアス I_{b1} 、 I_{b2} を調整することにより、温度変化に対して、トランジスタ 311A、321A が呈する第 1 および第 2 のコンダクタンス g_{m1} 、 g_{m2} を一定に保つことができる。

【0072】

トランジスタは、通常、温度上昇に伴い、呈するコンダクタンスが減少する傾向にある。そこで、温度が上昇する場合、バイアス電流を増加させることにより、コンダクタンスを一定に保つようにすることができる。具体的には、バイアス調整手段として、温度補償回路を用いるとよい。図9は、バイアス調整手段としての温度補償回路を示す。この温度補償回路37Bは、一般的に用いられているものであり、電源電圧に対して一定の電流を供給可能な定電流源回路である。この温度補償回路37Bによると、絶対温度に比例して出力電流が増加することが知られている。

【0073】

以上のように、バイアス調整手段37によって、温度変化に対して、トランジスタ311A、321Aが呈するコンダクタンスを一定に保つことができる。これにより、低域ろ波回路30Aの周波数特性を、温度に因らず一定に保つことができる。

【0074】

以上、本実施形態によると、トランジスタ311A、321Aを能動負荷として用いることによって、抵抗素子（図3（a）に示した低域ろ波回路における抵抗素子311A'、321A'）を実装しなくて済み、回路面積を低減することができる。さらに、トランジスタ311A、321Aが呈するコンダクタンスをより小さくすることにより、容量素子312、33をより小さくすることができる。

【0075】

さらに、カレントミラー回路32Aのミラー比“ α ”について、“ α ”が1よりも小さくなるように設定することにより、容量素子33の容量値を $1/10 \sim 1/100$ 程度にまで縮小することができる。一般に、容量素子33には、 $100 \sim 200$ pF程度の大容量のものが用いられており、その面積は、たとえばPLLにおいて、 $50 \sim 70\%$ 程度を占めている。本実施形態の低域ろ波回路30Aでは、容量素子33を従来の $1/10 \sim 1/100$ 程度にまで縮小することができるため、回路面積を絶対的に大幅に低減することができる。また、第2の電流 I_{out} が小さくなることによって、消費電力を低減することができる。また

、演算増幅器 34 A に流れ込むバイアス電流も小さくなり、演算増幅器 34 A に要求されるスペック、たとえばスルーレートなどを緩和することができる。なお、容量素子 312 は、一般に、MOS で構成可能な比較的小さな容量値 (10 ~ 20 pF 程度) であるため、この容量素子 312 の小型化については特に意図する必要はない。

【0076】

また、第 1 のフィルタ手段および第 2 のフィルタ手段として、容量素子 312 や容量素子 33 の他に、さらに別の容量素子や抵抗素子などを付加してもよい。また、容量素子 312 として、トランジスタ 311 A の寄生容量を用いるものであってもよい。このような変更を加えても、上述した効果をなんら損なうものではない。

【0077】

また、本実施形態では、バイアス制御信号 CS1 によって、電流源 35 a, 35 b が制御可能となっているが、必ずしもこのようにする必要はない。さらに、オフセット補償手段 36 やバイアス調整手段 37 は、省略が可能である。これらは、必要に応じて設けることができる。

【0078】

ところで、チャージポンプ回路から低域ろ波回路に、チャージ電流とその反転電流を同時に供給することにより、カレントミラー回路 32 A を抵抗素子に置き換えることができる。図 10 は、チャージ電流 I_{p1} とその反転電流 I_{p2} とを同時に出力可能なチャージポンプ回路 20、および低域ろ波回路 30 A におけるカレントミラー回路 32 A を抵抗素子 311 A', 321 A' に置き換えた低域ろ波回路 30 を示す。チャージポンプ回路 20 は、信号 UP1, UP2 の組および信号 DN1, DN2 の組がそれぞれスイッチ 23, 26 の組およびスイッチ 24, 25 の組を制御する。そして、チャージポンプ回路 20 からは、チャージ電流 I_{p1} とその反転電流 I_{p2} とが同時に出力される。一方、低域ろ波回路 30 は、チャージ電流 I_{p1} とその反転電流 I_{p2} とを入力することにより、低域ろ波回路 30 A においてカレントミラー回路 32 A により第 1 の電流 I_{in} が入力されたときと同様の動作をする。

【 0 0 7 9 】

上記のようなチャージポンプ回路 2 0 および低域ろ波回路 3 0 を備えた PLL によると、チャージポンプ回路 2 0 における同相のスイッチノイズが、低域ろ波回路 3 0 における演算増幅器 3 4 A の非反転入力端子および反転入力端子に入力されることにより、相殺される。これにより、PLL に現れるジッタ成分を低減することができる。

【 0 0 8 0 】

(第 2 の実施形態)

図 1 1 は、本発明の第 2 の実施形態の低域ろ波回路を示す。本実施形態の低域ろ波回路 3 0 B は、第 1 の実施形態の低域ろ波回路 3 0 A の加算手段を変更したものである。以下、第 1 の実施形態と異なる点についてのみ説明する。第 1 の実施形態と同様の構成要素については説明を省略し、図 2 に付した符号と同一の符号で参照する。

【 0 0 8 1 】

低域ろ波回路 3 0 B において、演算増幅器 3 3 1 は、負帰還部分に容量素子 3 3 を有し、非反転入力端子には基準電圧を入力とし、第 2 の電圧 V_2 を出力する。すなわち、本実施形態では、容量素子 3 3 および演算増幅器 3 3 1 が第 2 のフィルタ手段に相当する。

【 0 0 8 2 】

加算器 3 4 B は、本実施形態の加算手段に相当する。加算器 3 4 B は、第 1 の電圧 V_p と第 2 の電圧 V_2 とを入力し、これら電圧を加算して第 3 の電圧 V_{out} を出力する。

【 0 0 8 3 】

以上、本実施形態によると、第 1 の電圧 V_p および第 2 の電圧 V_2 を個々に参照可能となる。これにより、たとえば、加算器 3 4 B を図 2 8 の電圧制御発振器 4 0 の一部として組み込み、低域ろ波回路から第 1 および第 2 の電圧を個々に出力して、電圧制御発振器 4 0 を直接制御することができる。

【 0 0 8 4 】

(第 3 の実施形態)

図12は、本発明の第3の実施形態の低域ろ波回路を示す。本実施形態の低域ろ波回路30Cは、第1の実施形態の低域ろ波回路30Aの加算手段を変更したものである。以下、第1の実施形態と異なる点についてのみ説明する。第1の実施形態と同様の構成要素については説明を省略し、図2に付した符号と同一の符号で参照する。

【0085】

低域ろ波回路30Cにおいて、容量素子33の一端を基準電圧とする。これにより、容量素子33は、第2の電流 I_{out} を入力とし、極性反転された第2の電圧 V_2 を出力とする。

【0086】

本実施形態の加算手段は、演算相互コンダクタンス増幅器(OTA)34Cである。OTA34Cは、第1の電圧 V_p を非反転入力端子への入力とする一方、極性反転された第2の電圧 V_2 を反転入力端子への入力とし、低域ろ波回路30Cの出力信号として、第3の電流 I_{out2} を出力する。第3の電流 I_{out2} は、入力端子間の差動電圧に所定のコンダクタンスを乗じた値となる。すなわち、本実施形態の場合、第1の電圧 V_p と第2の電圧 V_2 との電圧合計が、電流に変換され、第3の電流 I_{out2} として出力される。

【0087】

以上、本実施形態によると、加算手段として、演算相互コンダクタンス増幅器34Cを用いることによって、低域ろ波回路の出力信号として、電流信号を出力することができる。また、加算手段として演算増幅器を用いないため、回路規模が縮小でき、また、消費電力も削減することができる。

【0088】

(第4の実施形態)

第1の実施形態の低域ろ波回路30Aでは、トランジスタ311A, 321Aを線形な抵抗素子とみなして用いているが、厳密には、トランジスタは非線形の素子である。したがって、トランジスタの非線形性は、そのままフィルタ特性の非線形性となって現れる。そこで、フィルタ特性が線形になるように、第1の実施形態の低域ろ波回路30Aに改良を加えたのが、本発明の第4の実施形態の低

域ろ波回路である。

【0089】

図13は、本実施形態の低域ろ波回路を示す。以下、第1の実施形態と異なる点についてのみ説明する。第1の実施形態と同様の構成要素については説明を省略し、図2に付した符号と同一の符号で参照する。

【0090】

低域ろ波回路30Dにおける第1のフィルタ手段31Dは、容量素子312および抵抗ラダー回路311Dからなる。抵抗ラダー回路311Dは、本発明の、第1のフィルタ手段が有する回路要素に相当し、カレントミラー回路32Aにおけるトランジスタ311Aが呈する第1のコンダクタンス g_{m1} に相当する抵抗値を呈するものである。抵抗ラダー回路311Dは、トランジスタ311Aが呈する第1のコンダクタンス g_{m1} が変化すると、その変化に応じて、抵抗値を変更するようになっている。また、抵抗ラダー回路311Dは、電流源35aによって、トランジスタ311Aに与えられる第1のバイアス電流に相当するバイアス電流が与えられる。

【0091】

一方、カレントミラー回路32Aにおけるトランジスタ311Aと並列に、容量素子312に対応する容量素子312'が設けられている。すなわち、カレントミラー回路32Aの入力側は、第1のフィルタ手段31Dと等価になるように構成されている。これにより、第1のフィルタ手段31Dの入力と同じ電流 I_p を入力することによって、カレントミラー回路32Aの入力側の電圧は、第1の電圧 V_p に相当する電圧 V_p' となり、また、入力側に流れる電流は、第1の電流 I_{in} に相当する第3の電流 I_{in}' となる。カレントミラー回路32Aは、第3の電流 I_{in}' を入力とし、第2の電流 I_{out} を出力とする。したがって、本実施形態におけるカレントミラー回路32Aは、実質的に、第1の電流 I_{in} をミラーして、第2の電流 I_{out} を生成している。

【0092】

演算増幅器34Aの非反転入力端子には、第1のフィルタ手段31Dの出力である第1の電圧 V_p を与える。演算増幅器34Aからは、第1の電圧 V_p と第2

の電圧とが加算された第3の電圧 V_{out} が出力される。

【0093】

以上、本実施形態によると、第1のフィルタ手段31Dにおける抵抗素子として、トランジスタを用いずに、抵抗ラダー回路311Dを用いることにより、低域ろ波回路30Dのフィルタ特性の線形性を向上することができる。さらに、トランジスタ311Aのコンダクタンスの変化に応じて、抵抗ラダー回路311Dの抵抗値を変更することにより、低域ろ波回路30Dのフィルタ特性を動的に変更することができる。

【0094】

なお、フィルタ特性の動的な変更が不要の場合、抵抗ラダー回路311Dを単なる抵抗素子に置き換えてもよい。このようにしても、低域ろ波回路30Dのフィルタ特性の線形性の向上という効果を得ることができる。

【0095】

(第5の実施形態)

図14は、本発明の第5の実施形態の低域ろ波回路を示す。本実施形態の低域ろ波回路30Eは、第1の実施形態の低域ろ波回路30Aのフィルタ特性を切り替えることができるように改良を加えたものである。以下、第1の実施形態と異なる点についてのみ説明する。第1の実施形態と同様の構成要素については説明を省略し、図2に付した符号と同一の符号で参照する。

【0096】

低域ろ波回路30Eにおけるカレントミラー回路32Eは、入力側に第1のトランジスタ311Aを有する一方、出力側に第2のトランジスタ321Abおよび第3のトランジスタ321Acの2つのトランジスタを有する。トランジスタ321Ab、321Acは、それぞれ電流源35b、35cによってバイアスされている。カレントミラー回路32Eの入力側に第1の電流 I_{in} が流れることにより、トランジスタ321Abを有する出力側からは電流 I_{outb} が出力され、トランジスタ321Acを有する出力側からは電流 I_{outc} がそれぞれ出力される。

【0097】

低域ろ波回路30Eは電流 I_{outb} 、 I_{outc} の出力の有無を切り替えるスイッチ322b、322cを備えている。そして、閉じられたスイッチ322b、322cを流れる電流を合計したものが、第2の電流 I_{out} として、容量素子33に与えられる。

【0098】

以上、本実施形態によると、スイッチ322b、322cの開閉を適宜制御することにより、低域ろ波回路30Eのフィルタ特性を段階的、すなわちデジタル的に切り替えることができる。これにより、たとえば、低域ろ波回路30EをPLLのループフィルタとして用いる場合、出力クロックがロックされるまでは、第2の電流 I_{out} を多く流して引き込みを早くし、ロックした後は、第2の電流 I_{out} を小さくして、帯域特性を緩くするといったことが可能となる。

【0099】

なお、本実施形態では、カレントミラー回路32Eの出力側に設けられるトランジスタは2個であるが、本発明はこれに限定されるものではない。カレントミラー回路の出力側には、第2から第 n (n は3以上の自然数)までのトランジスタを備えることが可能である。

【0100】

また、カレントミラー回路32Eから出力される複数の電流の出力の有無を制御するスイッチについて、複数の電流のうちのいずれか1つを選択するようにしてもよいし、同時に複数を選択するようにしてもよい。

【0101】

(第6の実施形態)

図15は、本発明の第6の実施形態の低域ろ波回路を示す。本実施形態の低域ろ波回路30Fは、第1の実施形態の低域ろ波回路30Aにおけるカレントミラー回路34Aを、第1の電圧電流変換回路311Fおよび第2の電圧電流変換回路32Fに置き換えたものである。以下、第1の実施形態と異なる点についてのみ説明する。第1の実施形態と同様の構成要素については説明を省略し、図2に付した符号と同一の符号で参照する。

【0102】

第1の電圧電流変換回路311Fは、第1の実施形態の低域ろ波回路30Aにおけるトランジスタ311Aおよび電流源35aに対応する。第1の電圧電流変換回路311Fは、トランジスタ311Aと等しい第1のコンダクタンス g_{m1} を呈し、第1の電圧 V_p を第1の電流 I_{in} に変換する。第1のコンダクタンス g_{m1} は、バイアス制御信号 $CS1$ によって変更可能である。第1の電圧電流変換回路311Fは、本発明の、第1のフィルタ手段が有する回路要素に相当し、容量素子312とともに、第1のフィルタ手段31Fを構成している。

【0103】

第2の電圧電流変換回路32Fは、第1の実施形態の低域ろ波回路30Aにおけるトランジスタ321Aおよび第2の電流源35bに対応する。第2の電圧電流変換回路32Fは、本発明の電流生成手段に相当するものであり、トランジスタ321Aと等しい第2のコンダクタンス g_{m2} を呈し、第1の電圧 V_p を第2の電流 I_{out} に変換する。第2のコンダクタンス g_{m2} は、バイアス制御信号 $CS1$ によって変更可能である。

【0104】

以上のように構成された低域ろ波回路30Fの伝達特性は、第1の実施形態の低域ろ波回路30Aと同様に、式(8)に示したものとなる。また、動作についても低域ろ波回路30Aと同様である。したがって、第2の電圧電流変換回路32Fが呈する第2のコンダクタンス g_{m2} を、第1の電圧電流変換回路311Fが呈する第1のコンダクタンス g_{m1} よりも小さく設定することによって、容量素子33の小型化が可能となり、回路面積を大幅に低減することができる。

【0105】

また、電圧電流変換回路311F、32Fは、共通のバイアス制御信号 $CS1$ に応じて、それぞれの第1および第2のコンダクタンス g_{m1} 、 g_{m2} を変更するようになっている。これにより、低域ろ波回路30Fのフィルタ特性を動的に変更することができる。

【0106】

以上、本実施形態によると、第1の電圧電流変換回路311Fおよび第2の電圧電流変換回路32Fを能動負荷として用いることによって、抵抗素子を実装し

なくて済み、回路面積を低減することができる。また、電圧電流変換回路 311F, 32F が呈するコンダクタンスをより小さくすることにより、容量素子 312, 33 をより小さくすることができる。また、第 2 の電圧電流変換回路 32F が呈する第 2 のコンダクタンス g_{m2} を、第 1 の電圧電流変換回路 311F が呈する第 1 のコンダクタンス g_{m1} に比べて小さくすることにより、フィルタ特性を一定に保ちつつ、容量素子 33 を小型化することができる。

【0107】

また、本実施形態の低域ろ波回路 30F は、電流生成手段としてカレントミラー回路を用いていない。したがって、カレントミラー回路を用いた場合と比べてオフセット電流が生じにくくなり、より精度の高いフィルタ特性を得ることができる。

【0108】

(第 7 の実施形態)

図 16 は、本発明の第 7 の実施形態の低域ろ波回路を示す。本実施形態の低域ろ波回路 30G は、第 1 の低域ろ波回路部 30a および第 2 の低域ろ波回路部 30b を備え、第 1 の入力信号である電流 I_{p^+} と第 2 の入力信号である電流 I_{p^-} との差動信号を入力とし、第 1 の出力信号である電圧 V_{out^+} と第 2 の出力信号である電圧 V_{out^-} との差動信号を出力する。

【0109】

低域ろ波回路 30G は、第 1 および第 2 の低域ろ波回路部 30a, 30b として、いずれも、第 1 の実施形態の低域ろ波回路 30A と同等の構成のものを用いる。第 1 の低域ろ波回路部 30a は、電流 I_{p^+} を入力とし、電圧 V_{out^+} を出力とする。一方、第 2 の低域ろ波回路部 30b は、電流 I_{p^-} を入力とし、電圧 V_{out^-} を出力とする。なお、第 1 および第 2 の低域ろ波回路部 30a, 30b の個々の構成および動作については、本発明の第 1 の実施形態で既に説明しているので、ここでは説明を省略する。

【0110】

以上、本実施形態によると、低域ろ波回路の入出力信号を差動信号とすることにより、同相の電源ノイズの耐性を向上させることができる。また、第 1 および

第2の低域ろ波回路部30a, 30bとして第1の実施形態の低域ろ波回路30Aを適用することにより、第1および第2の低域ろ波回路部30a, 30bのそれぞれにおける容量素子33を小型化し、低域ろ波回路30G全体としての回路面積を大幅に低減することができる。

【0111】

なお、第1および第2の低域ろ波回路部30a, 30bは、第1の実施形態の低域ろ波回路30Aであることに限定されない。第1および第2の低域ろ波回路部30a, 30bとして、互いに同等のフィルタ特性を持つものが適用されればよい。したがって、第1から第6までの実施形態の低域ろ波回路30A~30Fを、第1および第2の低域ろ波回路部30a, 30bのいずれかに適用が可能である。また、第1および第2の低域ろ波回路部30a, 30bの少なくとも一方に、本発明の低域ろ波回路が適用されることにより、低域ろ波回路30Gの回路面積低減の効果をを得ることができる。

【0112】

(第8の実施形態)

図17は、本発明の第8の実施形態の低域ろ波回路を示す。本実施形態の低域ろ波回路30Hもまた、第1の入力信号である電流 $I_{p^{+}}$ と第2の入力信号である電流 $I_{p^{-}}$ との差動信号を入力とし、第1の出力信号である電圧 $V_{out^{+}}$ と第2の出力信号である電圧 $V_{out^{-}}$ との差動信号を出力する。低域ろ波回路30Hは、特に、第6の実施形態の低域ろ波回路30Fを差動化したものである。

【0113】

第1の差動電圧電流変換回路311Hは、本発明の、第1のフィルタ手段が有する回路要素に相当する。第1の差動電圧電流変換回路311Hは、第1の電圧として、電圧 $V_{p^{+}}$ と電圧 $V_{p^{-}}$ との電圧差を入力とし、第1の電流として、電流 $I_{in^{+}}$ および電流 $I_{in^{-}}$ を出力する。電流 $I_{in^{+}}$ および電流 $I_{in^{-}}$ の大きさは、第1の差動電圧電流変換回路311Hが呈する第1のコンダクタンスによって決まる。第1の差動電圧電流変換回路311Hは、容量素子312Hとともに、第1のフィルタ手段31Hを構成する。

【0114】

第2の差動電圧電流変換回路32Hは、本発明の電流生成手段に相当する。第2の差動電圧電流変換回路32Hは、第1の電圧として、電圧 $V_{p^{+}}$ と電圧 $V_{p^{-}}$ との電圧差を入力とし、第2の電流として、電流 $I_{out^{+}}$ および電流 $I_{out^{-}}$ を出力する。電流 $I_{out^{+}}$ および電流 $I_{out^{-}}$ の大きさは、第2の差動電圧電流変換回路32Hが呈する第2のコンダクタンスによって決まる。この第2のコンダクタンスは、第1の差動電圧電流変換回路311Hが呈する第1のコンダクタンスに対して所定比となっている。

【0115】

容量素子33a, 33bは、本発明の第2のフィルタ手段に相当する。容量素子33a, 33bは、第2の差動電圧電流変換回路32Hによって生成された電流 $I_{out^{+}}$ および電流 $I_{out^{-}}$ をそれぞれ入力とし、第2の電圧を出力する。この場合、第2の電圧は、電圧 $V_{out^{-}}$ と電圧 $V_{m^{-}}$ との差と、電圧 $V_{out^{+}}$ と電圧 $V_{m^{+}}$ との差との電圧差である。

【0116】

差動演算増幅器34Hは、本発明の加算手段に相当する。差動演算増幅器34Hは、容量素子33a, 33bのそれぞれを負帰還部分に有し、電圧 $V_{p^{+}}$ と電圧 $V_{p^{-}}$ との電圧差を非反転入力端子への入力とし、低域ろ波回路30Hの出力信号として、電圧 $V_{out^{+}}$ と電圧 $V_{out^{-}}$ との電圧差を出力する。

【0117】

以上、本実施形態によると、低域ろ波回路の入出力信号を差動信号とすることにより、同相の電源ノイズの耐性を向上させることができる。また、第2の差動電圧電流変換回路32Hが呈する第2のコンダクタンスを、第1の差動電圧電流変換回路311Hが呈する第1のコンダクタンスよりも小さくすることによって、容量素子33a, 33bを小型化することができる。これにより、低域ろ波回路30Hの回路面積を大幅に低減することができる。

【0118】

(第9の実施形態)

図18は、本発明の第9の実施形態のPLLの構成を示す。本実施形態のPLLは、位相比較器10と、チャージポンプ回路20と、ループフィルタ30Aと

、電圧制御発振器40と、電圧電流変換回路41と、バイアス変換回路42と、N分周器50とを備えている。本実施形態のPLLは、通倍PLLや同期抽出PLLやスキュー調整PLLなどとして利用可能である。利用目的に応じて、N分周器50は省略可能である。また、本実施形態のPLLは、半導体集積回路として構成することが可能である。

【0119】

本実施形態のPLLにおけるループフィルタ30Aには、第1の実施形態の低域ろ波回路30Aを適用する。ただし、低域ろ波回路30Aにおけるオフセット補償手段36およびバイアス調整手段37は省略している。図18において、ループフィルタ30Aの各回路要素には図2と同一の符号を付し、また、ループフィルタ30Aの構成および動作の説明を省略する。ループフィルタ30Aは、チャージポンプ回路20が出力するチャージ電流 I_p を入力とし、出力信号として電圧 V_{out} を出力する。ループフィルタ30Aにおける容量素子33の小型化が可能であることは、既に述べたとおりである。

【0120】

チャージポンプ回路20は、位相比較器10によって比較された、入力クロック CK_{in} と帰還クロック CK_{div} との位相差に基づいて、チャージ電流 I_p を生成する。チャージポンプ回路20における電流源21、22は、それぞれバイアス制御信号 CS_1 、 CS_2 によって、チャージ電流 I_p の大きさを変更するようになっている。

【0121】

電圧制御発振器40は、本発明の出力クロック生成手段に相当する。電圧制御発振器40は、出力クロック CK_{out} を発振するものであり、ループフィルタ30Aから出力される電圧 V_{out} に基づいて、発振周波数を変化させる。実際には、電圧制御発振器40は電圧 V_{out} によって直接制御されるのではなく、電圧電流変換回路41によって電流に変換されたバイアス制御信号 CS_1 を入力として、出力クロック CK_{out} の周波数を変化させる。

【0122】

電圧電流変換回路41は、本発明のバイアス制御手段に相当する。電圧電流変

換回路41は、ループフィルタ30Aから出力される電圧 V_{out} を、バイアス制御信号CS1に変換する。バイアス制御信号CS1は、上記の電圧制御発振器40のほかに、チャージポンプ回路20における電流源21およびループフィルタ30Aにおける電流源35a, 35bを制御する。また、バイアス制御信号CS1は、バイアス変換回路42によってバイアス制御信号CS2に変換された後、チャージポンプ回路20における電流源22を制御する。バイアス変換回路42は、電流源22のバイアス制御の極性が他のものとは異なるため、設けるものである。さらに、バイアス制御信号CS1は、ループフィルタ30Aにおける演算増幅器34Aの帯域特性を制御する。

【0123】

上記のバイアス制御信号CS1, CS2による電流源21, 22, 35a, 35bの制御について、これら電流源から出力される電流の大きさが同程度に変化するようにする。すなわち、電流源21, 22から出力されるチャージ電流 I_p の大きさがA倍にされる場合、電流源35a, 35bから出力される第1および第2のバイアス電流 I_{b1} , I_{b2} の大きさもまたA倍にするようにする。

【0124】

次に、以上のように構成されたPLLの動作について、特に、ダンピングファクタの調整方法について詳細に説明する。なお、PLLに上記のループフィルタ30Aを適用するとPLLのループ次数は3次となるが、3次ループの伝達関数を持つPLLの解析は困難であるので、ここでは近似的に2次ループとして説明する。

【0125】

2次の能動タイプのループフィルタを備えたPLLの応答特性は、次の式(9)の自然周波数 ω_n および式(10)のダンピングファクタ ζ によって決まる。ここで、 K_o は、電圧制御発振器40のゲインである。

【0126】

【数 5】

$$\omega_n = \sqrt{\frac{K_o \cdot I_p}{2\pi C}} \quad \dots\dots\dots (9)$$

$$\zeta = \frac{CR}{2} \cdot \sqrt{\frac{K_o \cdot I_p}{2\pi C}} = \frac{CR}{2} \cdot \omega_n \quad \dots\dots\dots (10)$$

【0127】

式(9)の自然周波数 ω_n を決定する変数のうち、回路的に容易に変化させることができるものは、チャージ電流 I_p である。そこで、PLLの発振周波数に応じてループ帯域幅、すなわち自然周波数 ω_n を変化させるとき、一般に、チャージ電流 I_p を変化させる。

【0128】

チャージ電流 I_p を変化させると、式(10)のダンピングファクタとも同時に変化してしまう。しかし、PLLの応答性を安定化するためにも、ダンピングファクタとは一定であることが好ましい。それには、式(10)において、チャージ電流 I_p の変化率 A に対して、容量値“ C ”または抵抗値“ R ”の変化率が $1/\sqrt{A}$ になるようにしなければならない。

【0129】

ここで、トランジスタ311Aのドレインとゲートとは接続されており、いわゆる2乗特性を呈する状態にある。また、トランジスタ321Aのゲートは、トランジスタ311Aのゲートと同電位となるため、トランジスタ321Aもまた2乗特性を呈する状態にある。

【0130】

チャージポンプ回路20における電流源21, 22が、与えられたバイアス制御信号 $CS1$, $CS2$ によって、チャージ電流 I_p を変化率 A で変化させる場合、ループフィルタ30Aにおける電流源35a, 35bもまた、与えられたバイアス制御信号 $CS1$ によって、第1および第2のバイアス電流 I_{b1} , I_{b2} を変化率 A で変化させる。この結果、トランジスタ311Aについて、ドレイン電流は A 倍に、第1のコンダクタンス g_{m1} は \sqrt{A} 倍に、そして、ゲート電圧 V_p

は \sqrt{A} 倍になる。すなわち、第1のフィルタ手段の時定数がバイアス変化に応じて変化することになる。同様に、トランジスタ321Aについて、ドレイン電流はA倍に、第2のコンダクタンス g_{m2} は \sqrt{A} 倍に、そして、ゲート電圧 V_m は \sqrt{A} 倍になる。

【0131】

トランジスタ311A、321Aのコンダクタンス g_{m1} 、 g_{m2} が \sqrt{A} 倍になることは、すなわち、抵抗値Rの変化率が $1/\sqrt{A}$ になることに等しい。したがって、式(10)において、チャージ電流 I_p の変化率Aと抵抗値Rの変化率 $1/\sqrt{A}$ とが相殺され、ダンピングファクタ ζ が一定になることがわかる。

【0132】

さらに、本実施形態のPLLでは、電圧電流変換回路41から出力されるバイアス制御信号CS1に応じて、電圧制御発振器40の発振周波数が変化し、この変化に合わせて、チャージポンプ回路20における電流源21、22からのチャージ電流 I_p 、ループフィルタ30Aにおける電流源35a、35bからの第1および第2のバイアス電流 I_{b1} 、 I_{b2} 、およびループフィルタ30Aにおける演算増幅器34Aの帯域特性が変化する。すなわち、PLLの発振周波数の変化に適応して、チャージポンプ回路20およびループフィルタ30Aのバイアスを変化させることができる（アダプティブバイアス化）。具体的には、電圧制御発振器40の発振周波数が低い場合には、チャージ電流 I_p およびループフィルタ30Aの第1および第2のバイアス電流 I_{b1} 、 I_{b2} は小さくなる一方、発振周波数が高い場合には、チャージ電流 I_p およびループフィルタ30Aの第1および第2のバイアス電流 I_{b1} 、 I_{b2} は大きくなる。

【0133】

上記のような、アダプティブバイアス化されたPLLについては、すでに知られている（文献1：John G. Maneatis, "Low-Jitter Process-Independent DLL and PLL Based on Self-Biased Techniques", IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL.31, NO.11, NOVEMBER 1996, pp.1723-1732参照）。しかし、文献1で挙げられた回路方式は、2次の応答を有するPLLに対してのみのアダプティブ化であるのに対し、本実施形態のPLLでは、2次のループフィルタ30A

に電圧制御発振器 40 を加えた 3 次応答、さらに、演算増幅器 34 A の帯域特性の制御を加えた、4 次応答の PLL のアダプティブ化を図っている。

【0134】

以上、本実施形態によると、ループフィルタ 30 A における容量素子 33 の小型化が可能であり、PLL 全体としての回路面積を大幅に低減することができる。また、ループフィルタ 30 A における第 1 および第 2 のバイアス電流 I_{b1} 、 I_{b2} の大きさを制御することによって、PLL のダンピングファクタ ζ を一定に調整することができる。これにより、PLL の発振周波数にかかわらず、常に最適な応答特性を保つことが可能である。また、ダンピングファクタ ζ を調整するための抵抗ラダー回路などを実装する必要がなくなり、PLL の回路面積を低減することができる。

【0135】

また、PLL の発振周波数に応じて、適応的に、チャージ電流 I_p 、ループフィルタ 30 A における第 1 および第 2 のバイアス電流 I_{b1} 、 I_{b2} および演算増幅器 34 A の帯域特性が変化する。これにより、広範囲な発振周波数で、PLL の応答特性を最適に保つことができる。また、電流源 12、22、35 a、35 b に基準電圧を供給するバンドギャップリファレンスを省略することができ、PLL の回路面積をより一層低減することができる。

【0136】

なお、チャージ電流 I_p およびループフィルタ 30 A の第 1 および第 2 のバイアス電流 I_{b1} 、 I_{b2} は、必ずしも、電圧電流変換回路 41 から出力されるバイアス制御信号 CS1 に基づいて制御されるようにする必要はない。また、演算増幅器 133 A の帯域特性は、必ずしも制御可能にしなくてもよい。このように、PLL をアダプティブ化しない場合であっても、回路面積の低減は可能である。

【0137】

また、本実施形態では、ループフィルタ 30 A として、第 1 の実施形態の低域ろ波回路 30 A を用いているが、本発明はこれに限定されるものではない。たとえば、第 2 から第 6 までの実施形態の低域ろ波回路 30 B ~ 30 F を用いてもよ

いし、これら以外の構成の低域ろ波回路を用いてもよい。

【0138】

(第10の実施形態)

図19は、本発明の第10の実施形態の遅延ロックループ回路(DLL)の構成を示す。本実施形態は、第9の実施形態のPLLの一部を置き換えて、DLLとしたものである。以下、第9の実施形態と異なる点についてのみ説明する。第9の実施形態と同様の構成要素については説明を省略し、図18に付した符号と同一の符号で参照する。

【0139】

本実施形態のDLLにおけるループフィルタ30Fには、第6の実施形態の低域ろ波回路30Fを適用する。図18において、ループフィルタ30Fの各回路要素には図15と同一の符号を付し、また、ループフィルタ30Fの構成および動作の説明を省略する。ループフィルタ30Fは、チャージポンプ回路20が出力するチャージ電流 I_p を入力とし、出力信号として電圧 V_{out} を出力する。ループフィルタ30Fにおける容量素子33の小型化が可能であることは、既に述べたとおりである。

【0140】

ループフィルタ30Fにおける電圧電流変換回路311F、32Fが呈する第1および第2のコンダクタンス g_{m1} 、 g_{m2} は、バイアス制御信号 $CS1$ によるチャージ電流 I_p の変化率 A に対して、変化率 \sqrt{A} となるようにする。これにより、第9の実施形態で説明したように、チャージ電流 I_p の変化に対して、ダンピングファクタ ζ が一定になるように調整することができる。

【0141】

電圧制御遅延回路40Aは、本発明の出力クロック生成手段に相当する。電圧制御遅延回路40は、ループフィルタ30Fから出力される電圧 V_{out} に基づいて、入力とする入力クロック CK_{in} を遅延させた出力クロック CK_{out} を生成する。実際には、電圧制御遅延回路40Aは電圧 V_{out} によって直接制御されるのではなく、電圧電流変換回路41によって電流に変換されたバイアス制御信号 $CS1$ によって与えられるバイアスに応じた遅延量で、出力クロック CK_{out}

ut を生成する。

【0142】

以上、本実施形態によると、ループフィルタ 30 Fにおける容量素子 33 の小型化が可能であり、DLL全体としての回路面積を大幅に低減することができる。また、ループフィルタ 30 Fにおける電流電圧変換回路 311 F, 32 Fが呈するコンダクタンスを制御することによって、抵抗ラダー回路などを実装することなく、DLLのダンピングファクタを一定に調整することができる。

【0143】

なお、本実施形態では、ループフィルタ 30 Fとして、第6の実施形態の低域ろ波回路 30 Fを用いているが、本発明はこれに限定されるものではない。たとえば、第1から第5までの実施形態の低域ろ波回路 30 A～30 Eを用いてもよいし、これら以外の構成の低域ろ波回路を用いてもよい。

【0144】

(第11の実施形態)

第9の実施形態のように、PLLをアダプティブバイアス化した場合、電圧電流変換回路 41からの出力電流がゼロとなったとき、バイアス制御信号CS1によって、チャージ電流 I_p やループフィルタ 30 Aの第1および第2のバイアス電流 I_{b1} , I_{b2} もまたゼロになるように制御されてしまい、PLLが静止状態で安定してしまう。したがって、発振周波数を徐々に上げてロックする方法では、起動時に系がゼロの状態では安定してしまい、PLLが動作しないといった問題がある。そこで、アダプティブバイアス化されたPLLについては、発振周波数を最大の状態から徐々に下げてロックする方法をとる。このため、PLLにスタートアップ手段を設ける。

【0145】

図20は、本発明の第11の実施形態のPLLの構成を示す。本実施形態のPLLは、第9の実施形態のPLLに、スタートアップ手段60を設けたものである。以下、スタートアップ手段60について詳細に説明する。

【0146】

スタートアップ手段60は、ループフィルタ 30の出力信号である電圧 V_{ou}

t を、ループフィルタ 30 における加算手段からの出力に設定する第 1 の状態と、所定のスタートアップ電圧に設定する第 2 の状態とを切り替える。PLL の起動時は、第 2 の状態が設定され、発振周波数が最大の状態から PLL を駆動することができる。

【0147】

電圧制御発振器 40 の発振周波数が最大の状態から PLL を起動するとき、周波数が上昇しすぎると N 分周器 50 が誤動作を起こしてしまい、帰還クロック CKdiv の周波数をゼロにしてしまうことがある。こうなると、位相比較器 10 は、発振周波数を上げようと系を制御し、いわゆるデッドロック状態に陥ってしまう。このため、電流電圧変換回路 41 の後段にリミッタ回路 43 を設け、電圧制御発振器 40 へのバイアスに制限を加え、発振周波数が上昇しすぎることがないようにする。

【0148】

図 21 は、スタートアップ手段の具体例である。スタートアップ手段 60A は、演算増幅器 34A への電源供給の有無を切り替えるスイッチ 61 と、ループフィルタ 30 の出力を電圧 V_{ref2} に設定するか否かを切り替えるスイッチ 62 と、演算増幅器 34A の入力端子間の短絡と開放とを切り替えるスイッチ 63 からなる。なお、容量素子 33 および演算増幅器 34A は、ループフィルタ 30 における第 2 のフィルタ手段および加算手段である。

【0149】

スタートアップ信号 S_{UP} が第 1 の論理レベル（たとえば、“H”）のとき、スイッチ 61 は開くとともに、スイッチ 62、63 は閉じる。スイッチ 61 が開くことによって、演算増幅器 34A への電源は遮断され、演算増幅器 34A からの出力がなくなる。代わりにスイッチ 62 が閉じることによって、ループフィルタ 30 の出力電圧 V_{out} が、所定のスタートアップ電圧 V_{ref2} に設定される（第 2 の状態）。また、スイッチ 63 が閉じることによって、容量素子 33 に、演算増幅器 34A の非反転入力端子側の電圧が与えられる。この電圧は、本発明における第 1 の電圧にほかならない。すなわち、スタートアップ信号 S_{UP} が第 1 の論理レベルとなることによって、演算増幅器 34A は非動作状態とな

り、ループフィルタ30の出力が電圧 V_{ref2} に設定された第2の状態ではPLLが起動する。これにより、起動時に系がゼロの状態に安定することを回避することができる。

【0150】

PLLが起動した後、スタートアップ信号 S_{UP} を第2の論理レベル（たとえば、“L”）にする。これにより、スイッチ61は閉じるとともに、スイッチ62、63は開く。スイッチ62、63が開くことによって、演算増幅器34Aの入力端子間は開放され、また、ループフィルタ30の出力側から電圧 V_{ref2} が切り離される。これとともに、スイッチ61が閉じることによって、演算増幅器34Aは動作状態となり、ループフィルタ30の出力が演算増幅器34Aからの出力に設定される（第1の状態）。これにより、PLLは定常状態で動作可能となる。

【0151】

演算増幅器は、反転入力端子と非反転入力端子との電位差を増幅するものである。したがって、演算増幅器34Aを、第2の状態における非動作状態から第1の状態における動作状態に切り替える際、入力端子間に電位差が生じていると、瞬間的に過大な出力が発生し、系に乱れが生じてしまう恐れがある。しかし、本実施形態では、第2の状態において、スイッチ63によって、演算増幅器34Aの入力端子間が短絡され、電位差がない状態にされているため、第1の状態に切り替わる際、演算増幅器34Aから過大な出力がされることがない。このように、スイッチ63は、第1の状態において、容量素子33に第1の電圧を与えるだけでなく、第2の状態に切り替わる際に、演算増幅器34Aから過大な出力がされないようにするという役割を果たす。

【0152】

ところで、PLLでは、電圧制御発振器40の電圧対発振周波数特性を測定するためのテストモードを設けるのが一般的である。そこで、スタートアップ手段60をテストモードに対応可能な改良することを考える。

【0153】

図22は、テストモードに対応可能なスタートアップ手段の具体例である。ス

タートアップ手段 6 0 B は、スタートアップ手段 6 0 A に、さらに、スイッチ 6 4、6 5 を追加したものである。スイッチ 6 5 は、テスト信号 T E S T に応じて、スタートアップ信号 S _ U P の制御対象として、スイッチ 6 2 とスイッチ 6 4 とを切り替える。スイッチ 6 4 は、ループフィルタ 3 0 の出力を電圧 V r e f 3 に設定するか否かを切り替える。なお、電圧 V r e f 3 は外部から供給されるものである。

【0154】

テスト信号 T E S T を第 1 の論理レベル（たとえば、“H”）にすることによって、スイッチ 6 5 は、スタートアップ信号 S _ U P の制御対象としてスイッチ 6 4 を選択する。これにより、P L L はテストモードとなり、ループフィルタ 3 0 の出力を外部電源である電圧 V r e f 3 に設定して P L L を起動することができる。そして、電圧 V r e f 3 をさまざまに設定して P L L を起動することにより、電圧対発振周波数特性を測定することができる。

【0155】

一方、テスト信号 T E S T を第 2 の論理レベル（たとえば、“L”）にすることによって、テストモードが解除される。これにより、ループフィルタ 3 0 の出力を内部電源である電圧 V r e f 2 に設定して P L L を起動することができる。

【0156】

以上、本実施形態によると、アダプティブバイアス化された P L L にスタートアップ手段 6 0 を設けることにより、起動時に系がゼロの状態で安定化し、P L L が動作しなくなることを回避することができる。また、スタートアップ手段 6 0 をテストモード対応可能にすることによって、電圧制御発振器 4 0 の電圧対発振周波数特性を容易に測定することができる。

【0157】

なお、本実施形態では、演算増幅器 3 4 A の出力を停止するのに、スイッチ 6 1 によって電源供給を遮断しているが、本発明はこれに限定されるものではない。たとえば、第 1 の状態において、演算増幅器 3 4 A の出力側がハイ・インピーダンスになるようにすることによっても、実質的に演算増幅器 3 4 A の出力を停止することが可能である。このようにしても、上記の効果になんら変わりはない。

【0158】

(第12の実施形態)

図23は、本発明の第12の実施形態のフィードバックシステムの構成を示す。このうち、同図(a)はPLLを示し、同図(b)はDLLを示す。本実施形態のフィードバックシステムは、ループフィルタ30として、差動信号を入出力とするものを用いている。また、電圧制御発振器40および電圧制御遅延回路40Aとして、差動信号を入力とするものを用いている。

【0159】

本実施形態のフィードバックシステムにおけるループフィルタ30として、たとえば、第7の実施形態の低域ろ波回路30Gまたは第8の実施形態の低域ろ波回路30Hを用いることができる。これにより、フィードバックシステム全体としての回路面積を大幅に削減することができる。

【0160】

本発明のPLLおよびDLLは、大規模な容量素子を必要とせず、回路規模を小規模化することができるため、特に、次のような製品への応用が期待される。

【0161】

図24は、ICカード用のLSIとして、本発明のPLLやDLLを備えたものを用いた例である。ICカードに用いられるLSIは、実装面積に限りがあるため、より小さな回路面積で構成可能な本発明のPLLやDLLは、ICカード用として特に適している。

【0162】

図25は、本発明のPLLやDLLを、チップ・オン・チップ(COC)部品に応用した例である。チップ・オン・チップ構造において、上層の半導体集積回路の回路面積には限りがある。したがって、本発明のPLLやDLLが有効となる。

【0163】

図26は、本発明のPLLやDLLを、LSIパッド部に実装した例である。チップ・オン・チップ構造と同様に、LSIパッド部に実装可能な回路面積には

限りがある。したがって、本発明のPLLやDLLが有効となる。

【0164】

図27は、本発明のPLLやDLLを、マイクロプロセッサにおけるクロック生成手段として実装した例である。今やマイクロプロセッサには、非常に多くのPLLやDLLが実装されている。そこで、マイクロプロセッサに本発明のPLLやDLLを用いることにより、マイクロプロセッサ全体としての回路面積を大幅に低減することが期待される。したがって、本発明のPLLやDLLをマイクロプロセッサに適用することによって得られる効果は極めて大きいものである。

【0165】

以上、本発明の各種実施形態について説明した。なお、上記説明において、カレントミラー回路32Aにおけるトランジスタ311A、321Aは、nチャネルおよびpチャネルのいずれであってもよい。また、電界効果トランジスタ(MOSトランジスタ)で構成されんとしているが、バイポーラトランジスタで構成してもよいし、また、MOSトランジスタとバイポーラトランジスタとを組み合わせ構成してもよい。また、入力側はダイオードであっても構わない。このような変更を加えても、本発明が奏する効果になんら影響を及ぼすものではない。

【0166】

また、第1のフィルタ手段における容量素子312、312'、312Hや、第2のフィルタ手段である容量素子33、33a、33bは、たとえば、2層ポリシリコンを用いたもの、MIM容量(メタル絶縁体メタル容量)、MOSトランジスタを用いたMOS容量などのいずれであってもよい。また、これらを組み合わせ用いて場合でも、本発明が奏する効果をなんら損なうものではない。

【0167】

【発明の効果】

以上のように、本発明によると、低域ろ波回路について、従来と同等のフィルタ特性を有しながらも、回路面積を大幅に低減することができる。特に、第2のフィルタ手段として用いられる容量素子を、従来のものに比べて、 $1/10 \sim 1/100$ 程度にまで縮小することができ、回路面積低減の効果は極めて大きい。また、電流生成手段によって、第1の電流よりも小さな第2の電流を生成するこ

とによって、消費電力を低減することができる。

【0168】

また、上記のような低域ろ波回路をループフィルタとして備えた位相同期回路や遅延ロックループ回路などのフィードバックシステムについて、抵抗ラダー回路などを実装することなく、ダンピングファクタの調整が可能となる。これにより、フィードバックシステムの回路面積をより一層低減することができる。さらに、ループフィルタの出力に応じて、適応的に、フィードバックシステムの応答特性を調整することができる。これにより、幅広い周波数帯域において、応答特性を最適に保つことができる。

【図面の簡単な説明】

【図1】

本発明の低域ろ波回路の構成図である。

【図2】

本発明の第1の実施形態の低域ろ波回路の回路図である。

【図3】

図2の低域ろ波回路の伝達特性を説明する図である。

【図4】

図2の低域ろ波回路におけるカレントミラー回路のミラー比を変えたとき回路図である。

【図5】

図2の低域ろ波回路におけるオフセット補償手段の具体例の回路図である。

【図6】

図2の低域ろ波回路におけるオフセット補償手段の別の具体例の回路図である。

【図7】

オフセット補償用のレプリカ回路を設けた低域ろ波回路の回路図である。

【図8】

図2の低域ろ波回路におけるバイアス調整手段の具体例の回路図である。

【図9】

図 2 の低域ろ波回路におけるバイアス調整手段としての温度補償回路の回路図である。

【図 1 0】

第 1 の実施形態の低域ろ波回路の変形例である。

【図 1 1】

本発明の第 2 の実施形態の低域ろ波回路の回路図である。

【図 1 2】

本発明の第 3 の実施形態の低域ろ波回路の回路図である。

【図 1 3】

本発明の第 4 の実施形態の低域ろ波回路の回路図である。

【図 1 4】

本発明の第 5 の実施形態の低域ろ波回路の回路図である。

【図 1 5】

本発明の第 6 の実施形態の低域ろ波回路の回路図である。

【図 1 6】

本発明の第 7 の実施形態の低域ろ波回路の回路図である。

【図 1 7】

本発明の第 8 の実施形態の低域ろ波回路の回路図である。

【図 1 8】

本発明の第 9 の実施形態の位相同期回路の構成図である。

【図 1 9】

本発明の第 1 0 の実施形態の遅延ロックスループ回路の構成図である。

【図 2 0】

本発明の第 1 1 の実施形態の位相同期回路の構成図である。

【図 2 1】

図 2 0 の位相同期回路におけるスタートアップ手段の具体例の回路図である。

【図 2 2】

テストモードに対応可能なスタートアップ手段の具体例の回路図である。

【図 2 3】

本発明の第12の実施形態のフィードバックシステムの構成図である。

【図24】

本発明のPLLやDLLをICカードに応用した例である。

【図25】

本発明のPLLやDLLをCOC部品に応用した例である。

【図26】

本発明のPLLやDLLをLSIパッド領域に実装した例である。

【図27】

本発明のPLLやDLLをマイクロプロセッサに実装した例である。

【図28】

一般的なPLLの構成図である。

【図29】

一般的なループフィルタの回路図である。

【図30】

従来のフィルタ特性を変更可能なループフィルタの回路図である。

【図31】

従来のフィルタ特性を変更可能なループフィルタの別例の回路図である。

【符号の説明】

20 チャージポンプ回路

30, 30A~30H ループフィルタ（低域ろ波回路）

30a 第1の低域ろ波回路部

30b 第2の低域ろ波回路部

31, 31A, 31D, 31F, 31H 第1のフィルタ手段

311 回路要素

311A 第1の電界効果トランジスタ（第1のトランジスタ、回路要素、第1の半導体素子）

311D 抵抗ラダー回路（回路要素、抵抗素子）

311F 第1の電圧電流変換回路（回路要素）

311H 第1の差動電圧電流変換回路（回路要素）

312, 312H 容量素子 (第1のフィルタ手段)

32 電流生成手段

32A, 32E カレントミラー回路 (電流生成手段)

32F 第2の電圧電流変換回路 (電流生成手段)

32H 第2の差動電圧電流変換回路 (電流生成手段)

321A 第2の電界効果トランジスタ (第2のトランジスタ、第2の半導体素子)

321Ab 第2のトランジスタ (第2の半導体素子)

321Ac 第3のトランジスタ (第nの半導体素子)

322b, 322c スイッチ

33, 33a, 33b 容量素子 (第2のフィルタ手段)

34 加算手段

34A 演算増幅器 (加算手段)

34B 加算器 (加算手段)

34C 演算相互コンダクタンス増幅器 (加算手段)

34H 差動演算増幅器 (加算手段)

36, 36A, 36B オフセット補償手段

362 電圧保持手段

364 比較器

365 アップダウンカウンタ

366 DA変換器

37, 37A バイアス調整手段

371a 第3のトランジスタ

371b 第4のトランジスタ

37B 温度補償回路 (バイアス調整手段)

38 レプリカ回路

40 電圧制御発振器 (出力クロック生成手段)

40A 電圧制御遅延回路 (出力クロック生成手段)

41 電圧電流変換回路（バイアス制御手段）

60, 60A, 60B スタートアップ手段

61~65 スイッチ

I_p チャージ電流（入力信号）

I_p^+ 第1のチャージ電流（第1の入力信号）

I_p^- 第2のチャージ電流（第2の入力信号）

V_{out} 第3の電圧（出力信号）

I_{out2} 第3の電流（出力信号）

V_{out}^+ 第1の出力信号

V_{out}^- 第2の出力信号

I_{in} , I_{in}^+ , I_{in}^- 第1の電流

I_{in}' 第3の電流

I_{out} , I_{out}^+ , I_{out}^- 第2の電流

I_{b1} 第1のバイアス電流

I_{b2} 第2のバイアス電流

V_p , V_p^+ , V_p^- 第1の電圧

V_2 第2の電圧

g_{m1} 第1のコンダクタンス

g_{m2} 第2のコンダクタンス

$CS1$, $CS2$ バイアス制御信号

CK_{in} 入力クロック

CK_{out} 出力クロック

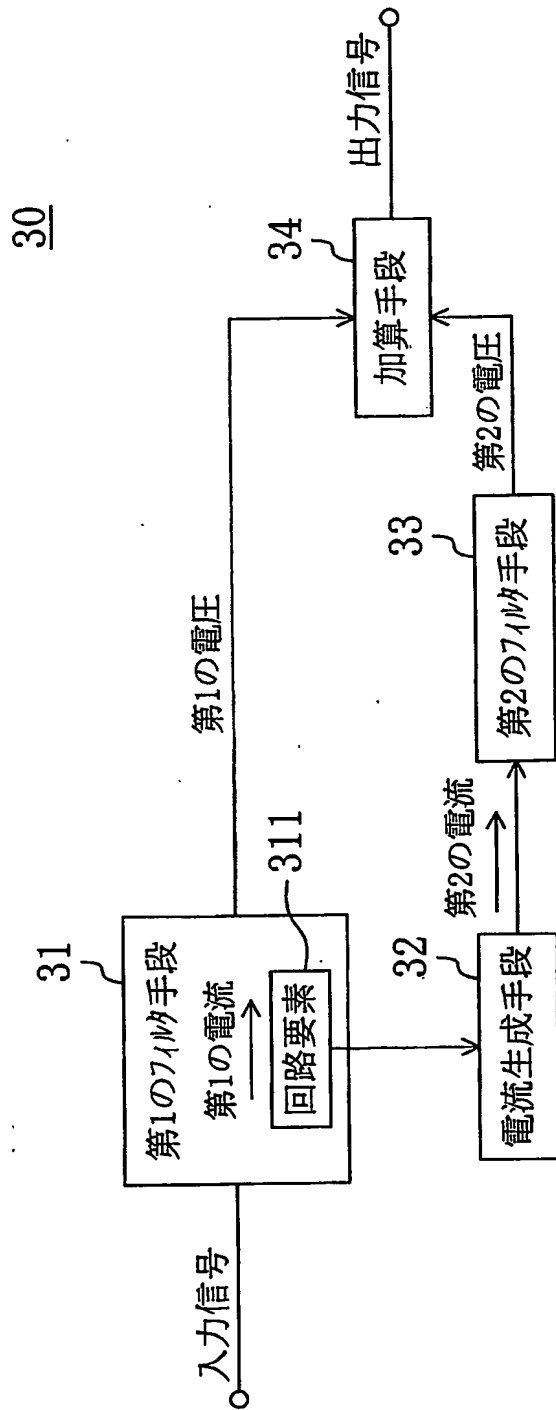
CK_{div} N分周クロック

V_{ref2} 所定の電圧（内部電源）

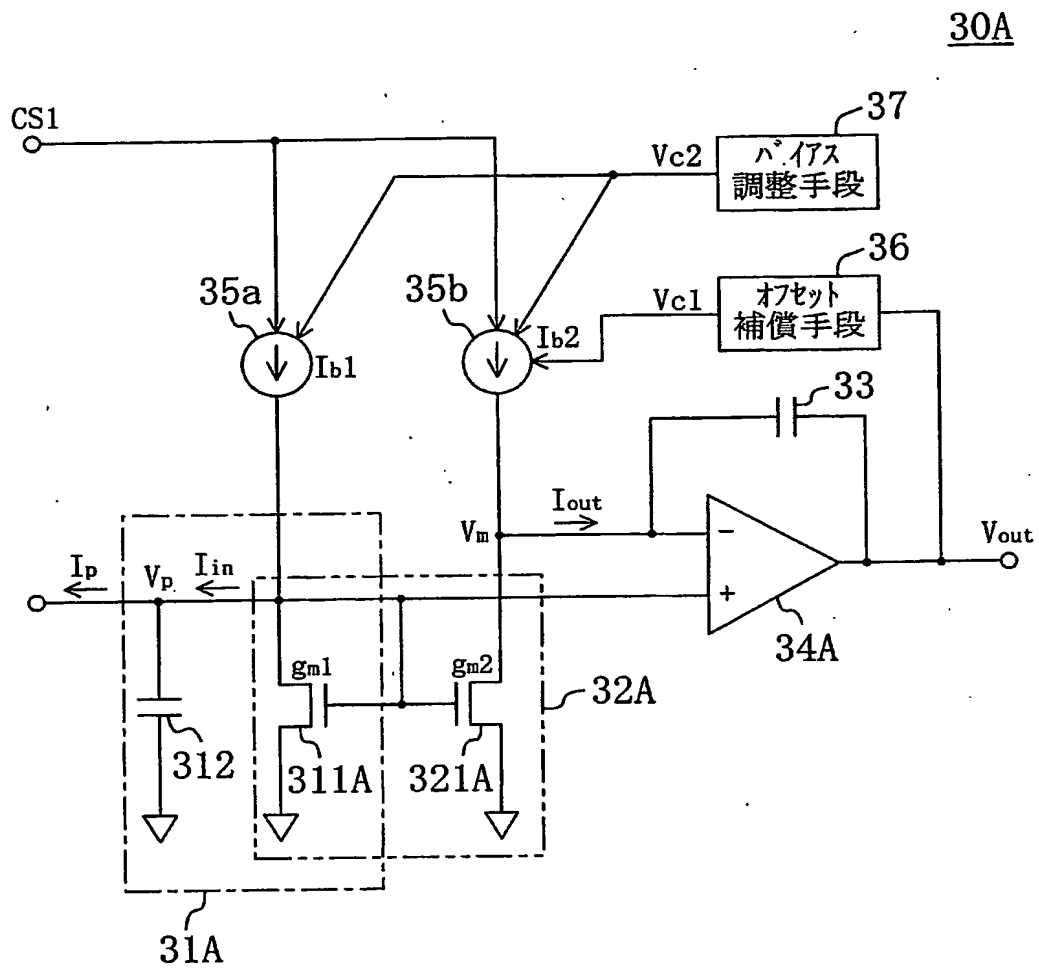
V_{ref3} 所定の電圧（外部電源）

【書類名】 図面

【図 1】

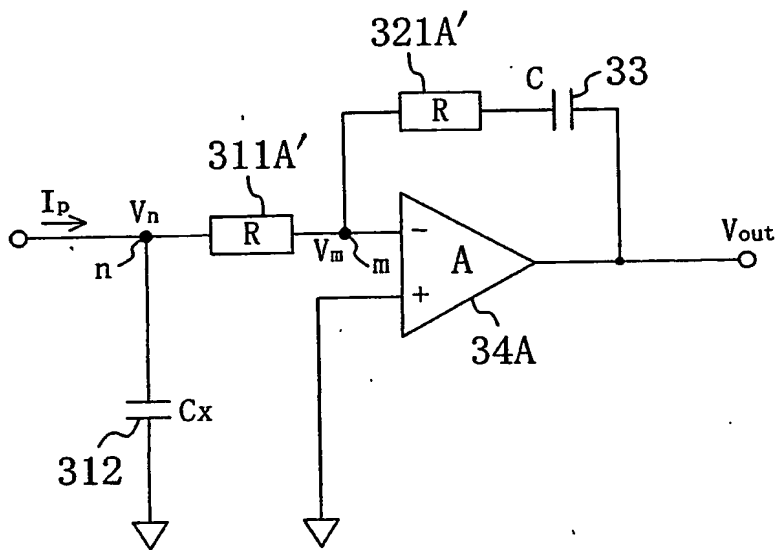


【図 2】

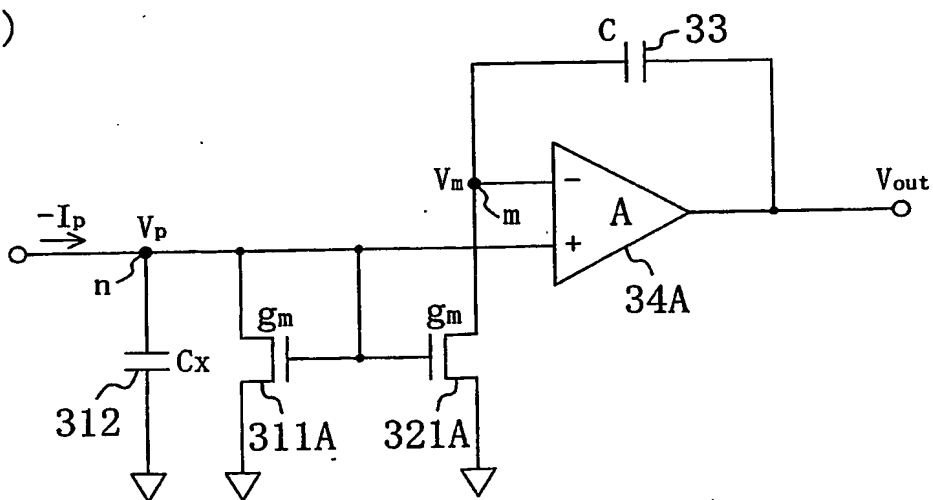


【図 3】

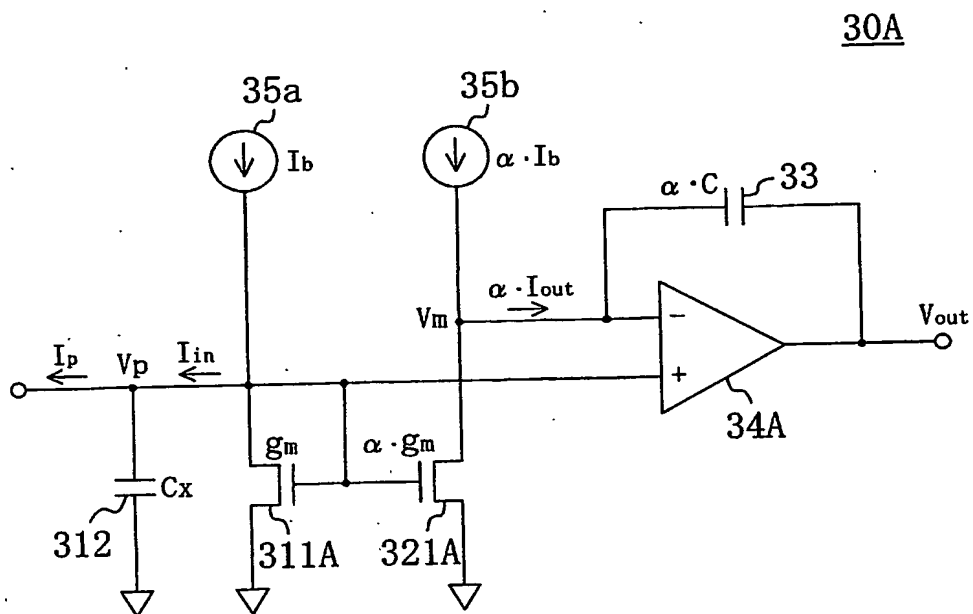
(a)



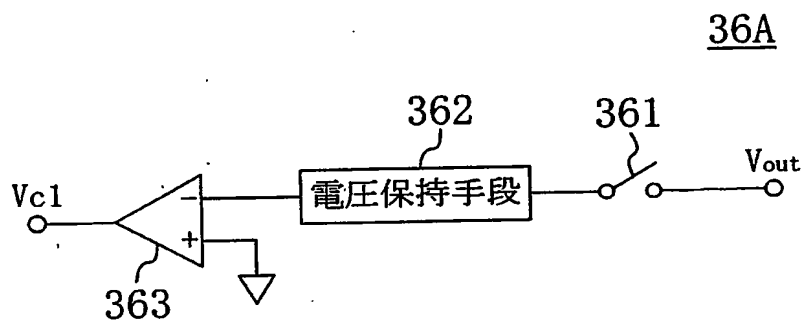
(b)



【図4】

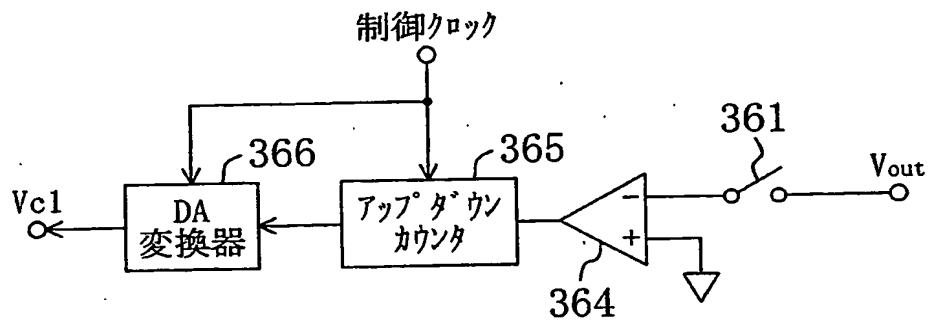


【図5】

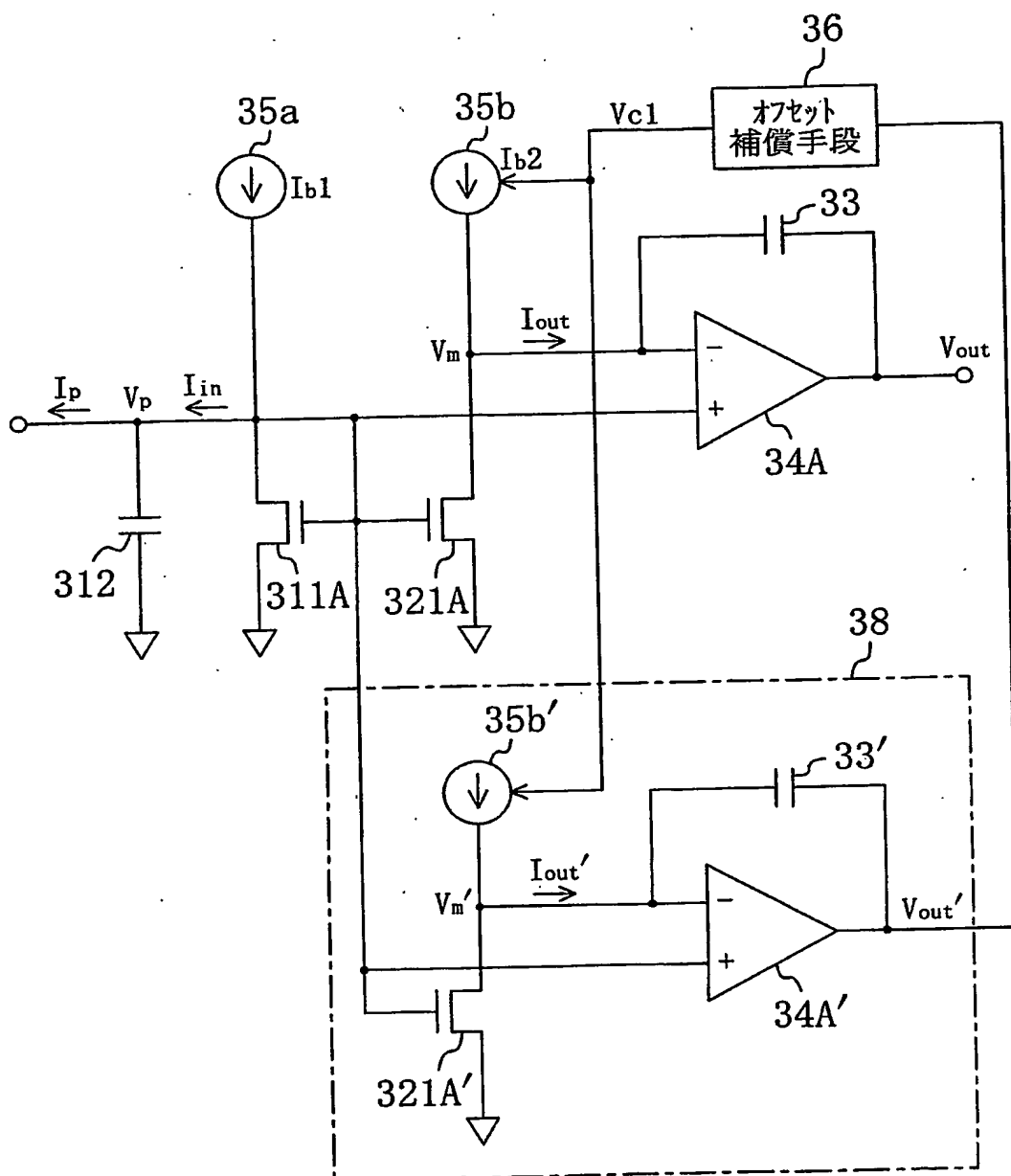


【図6】

36B



【図 7】

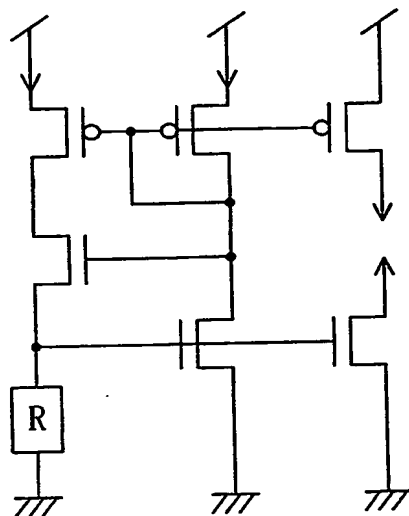


【图 8】

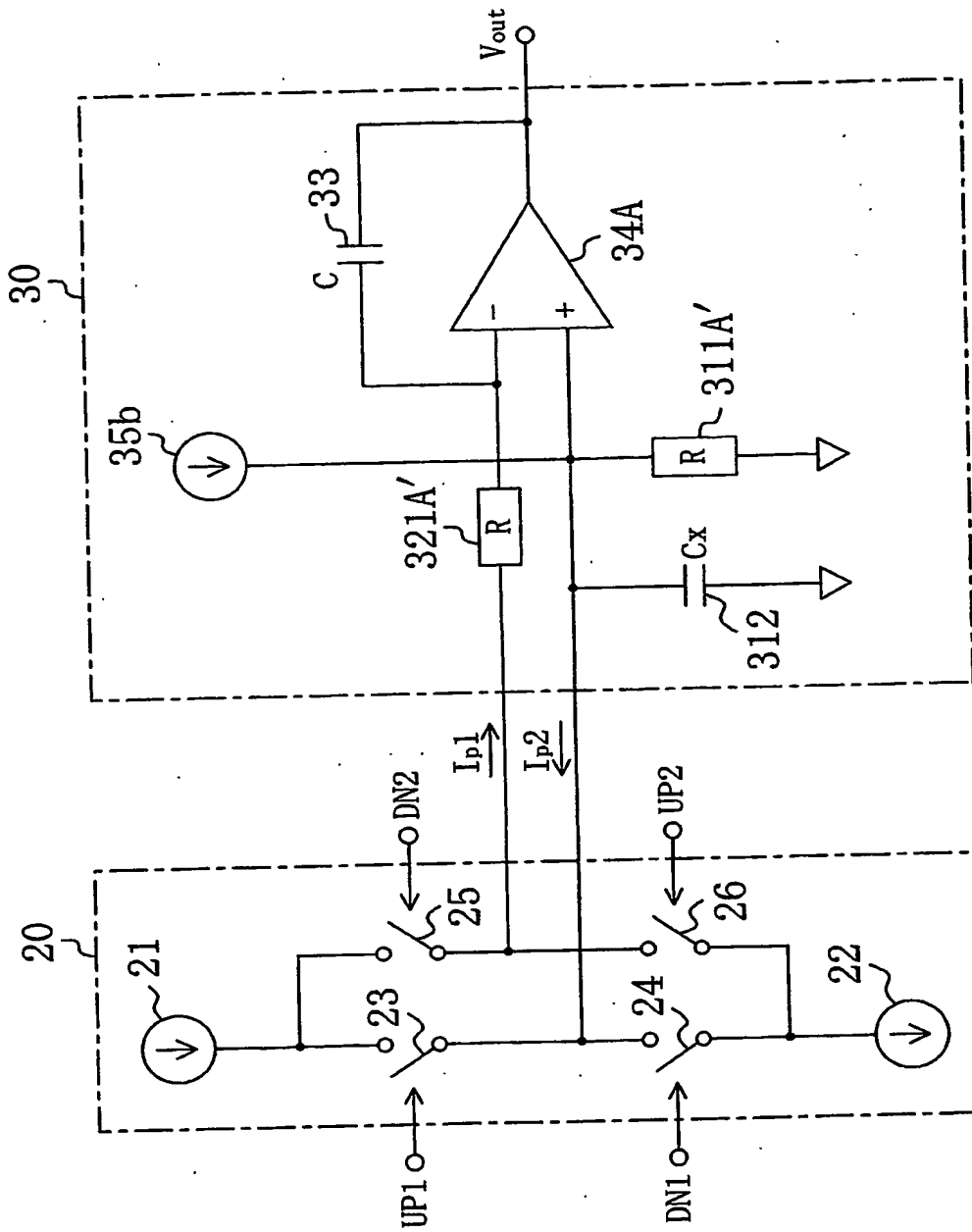


【図9】

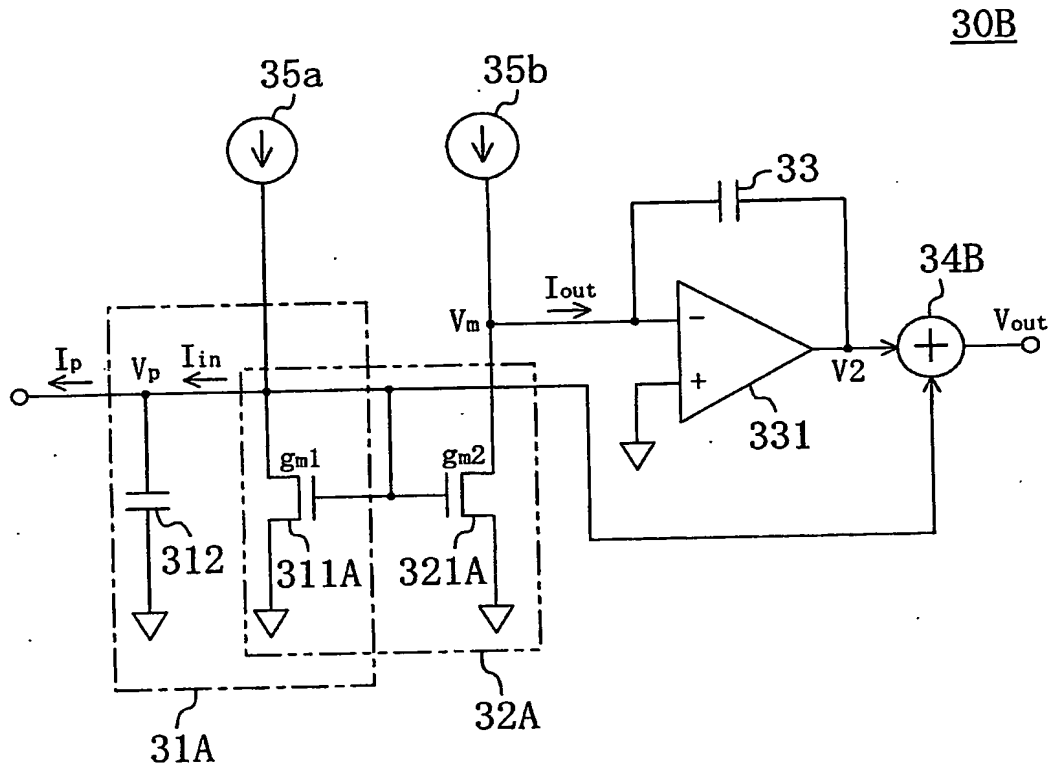
37B



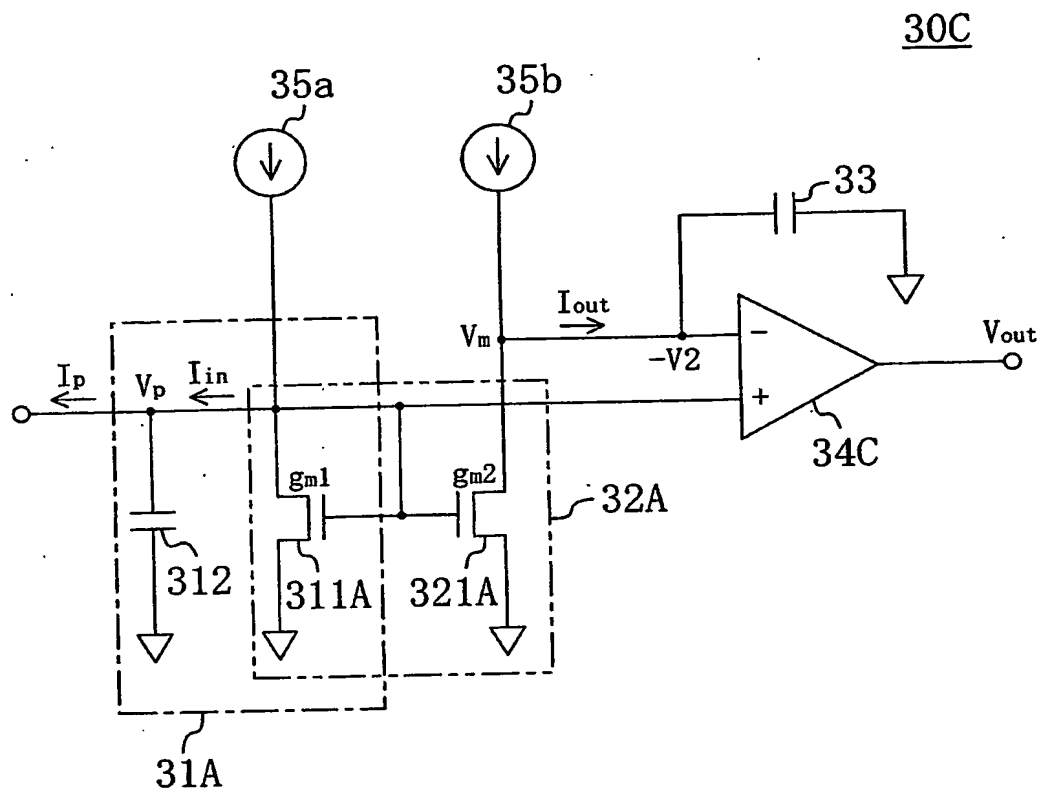
【図10】



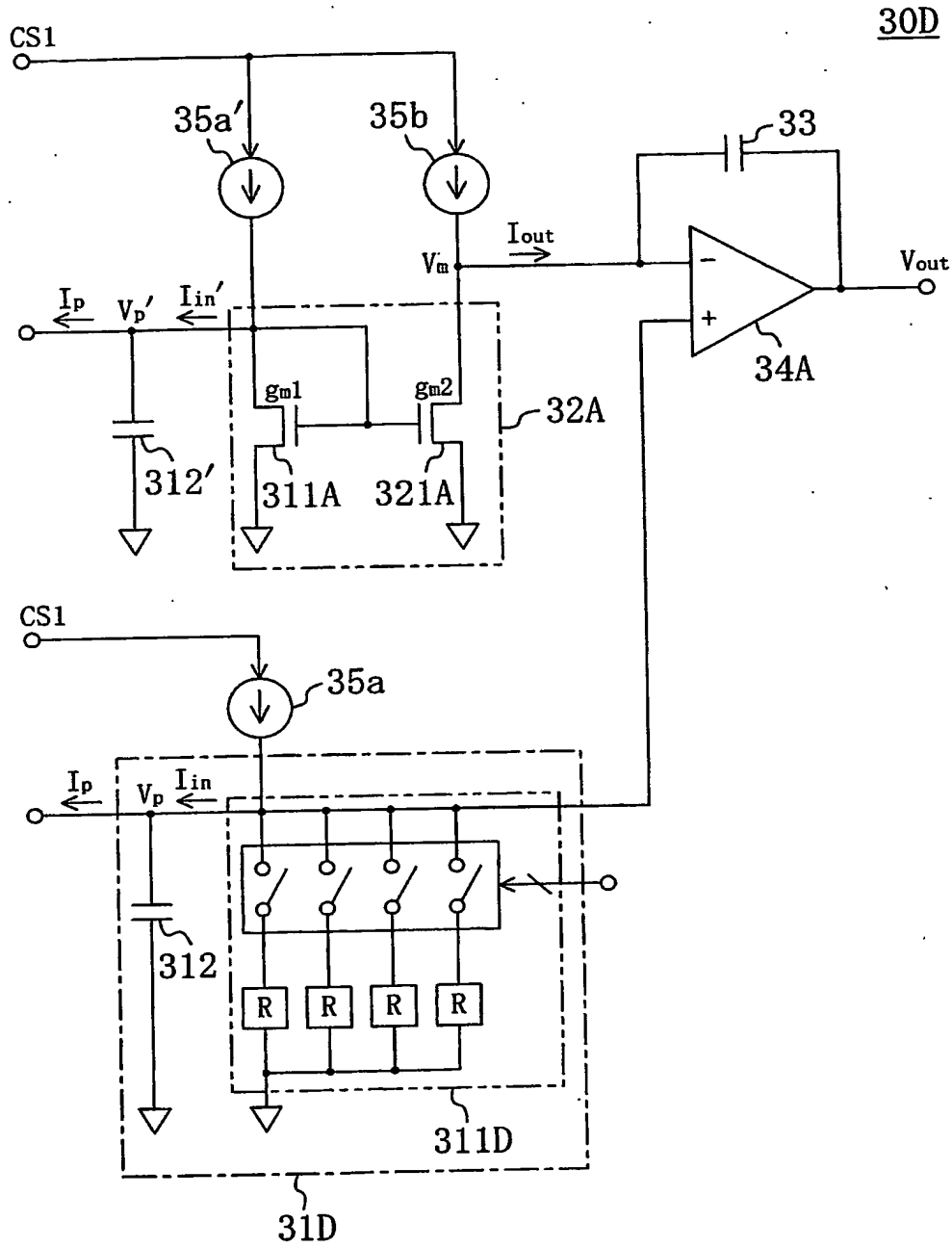
【図 11】



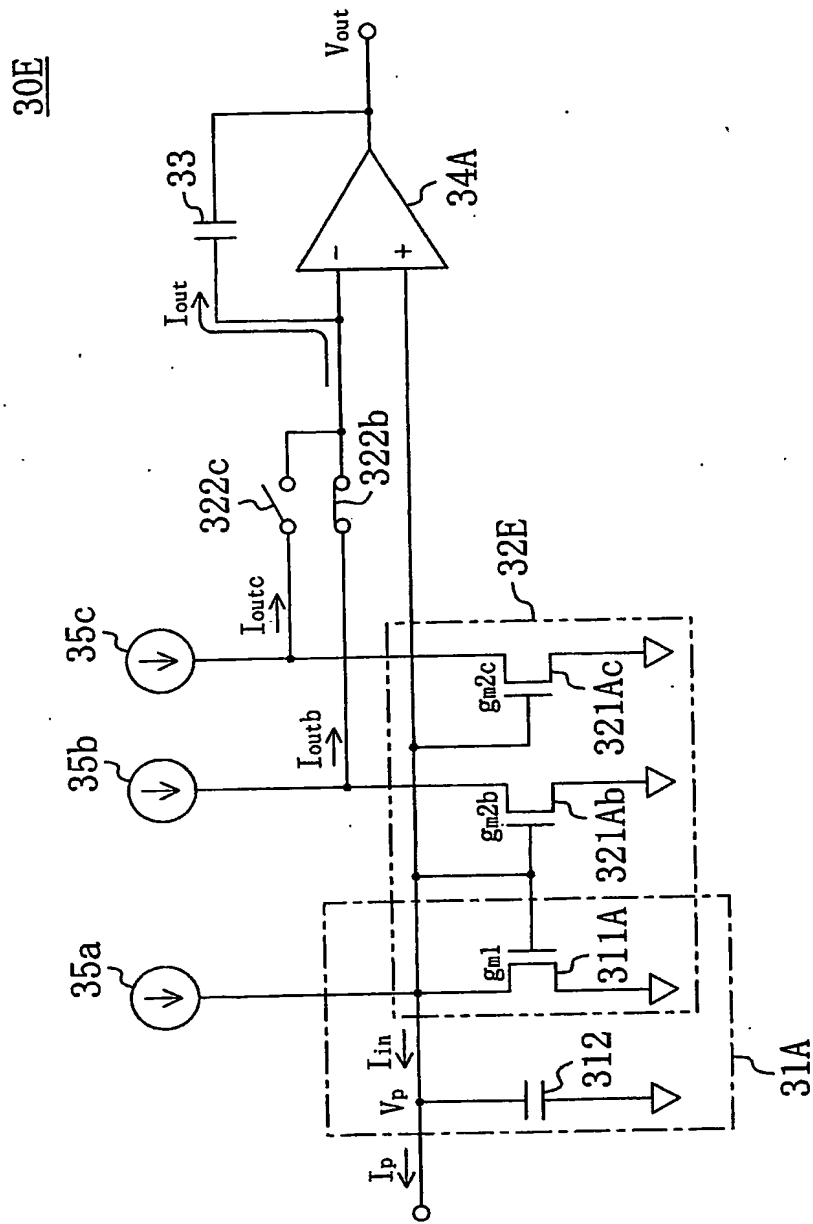
【図 12】



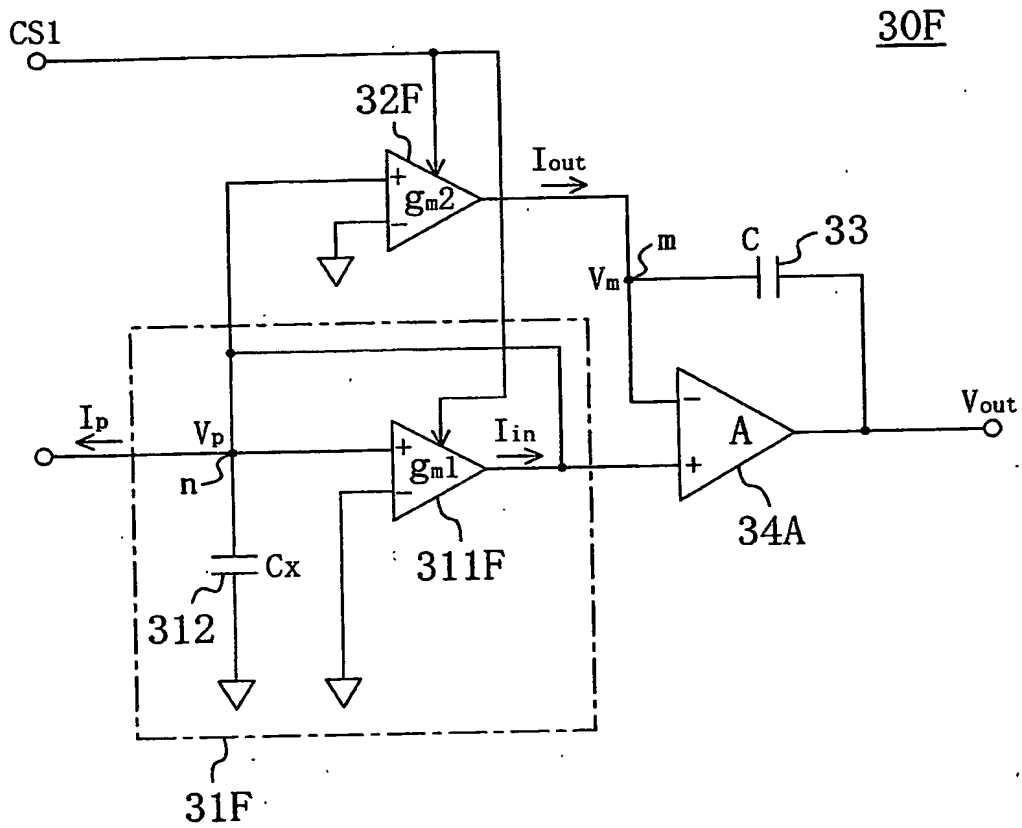
【図 13】



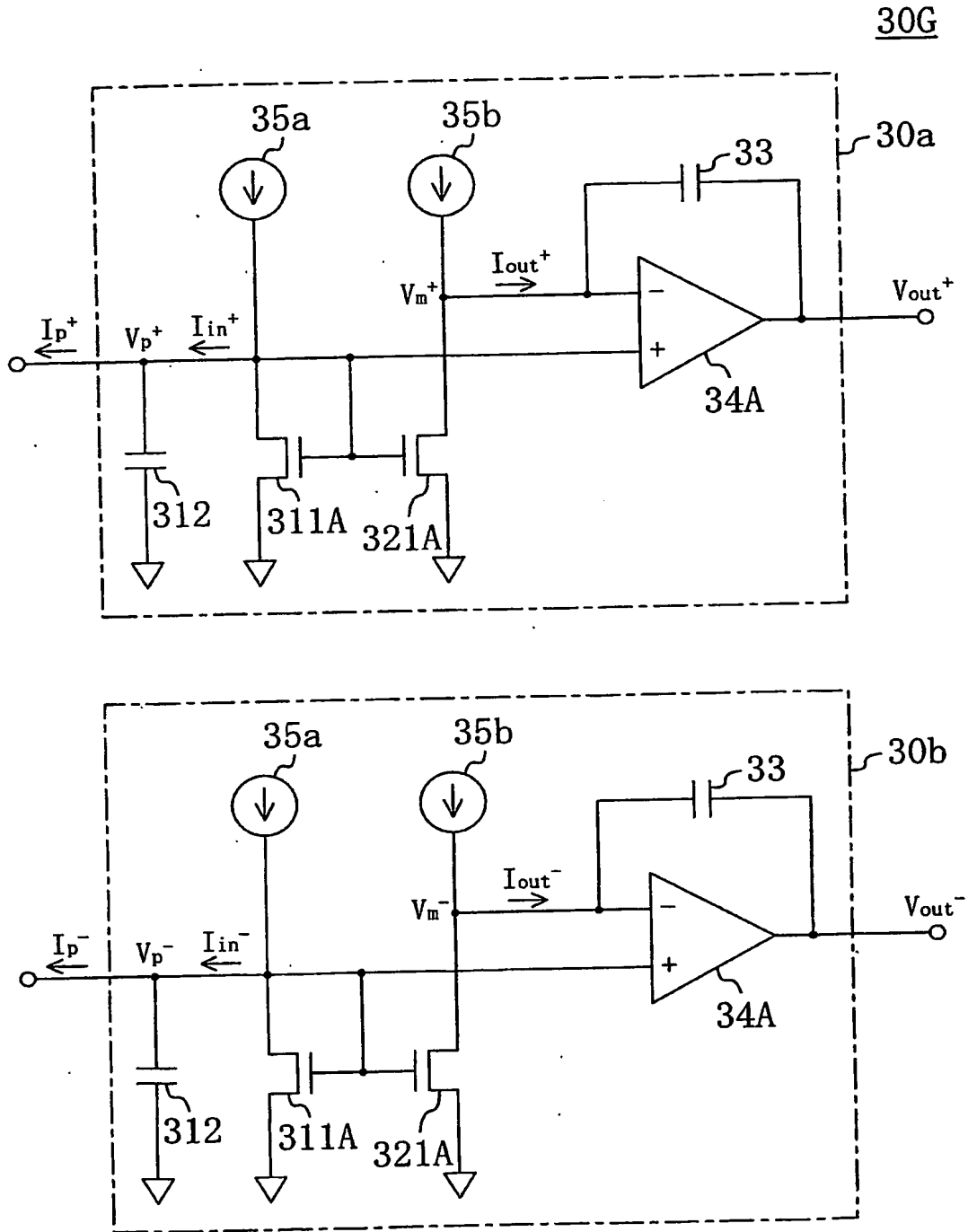
【図 14】



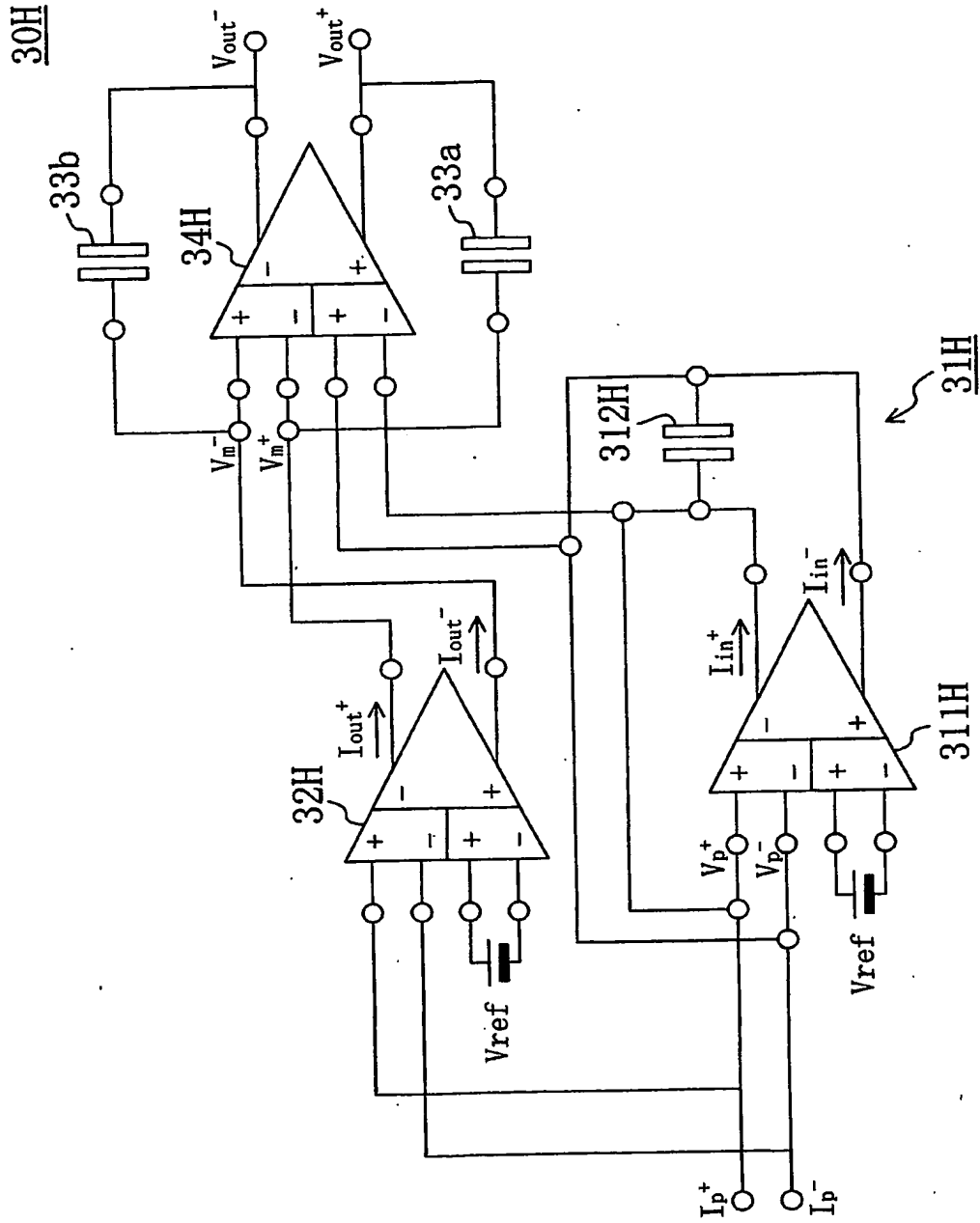
【図 15】

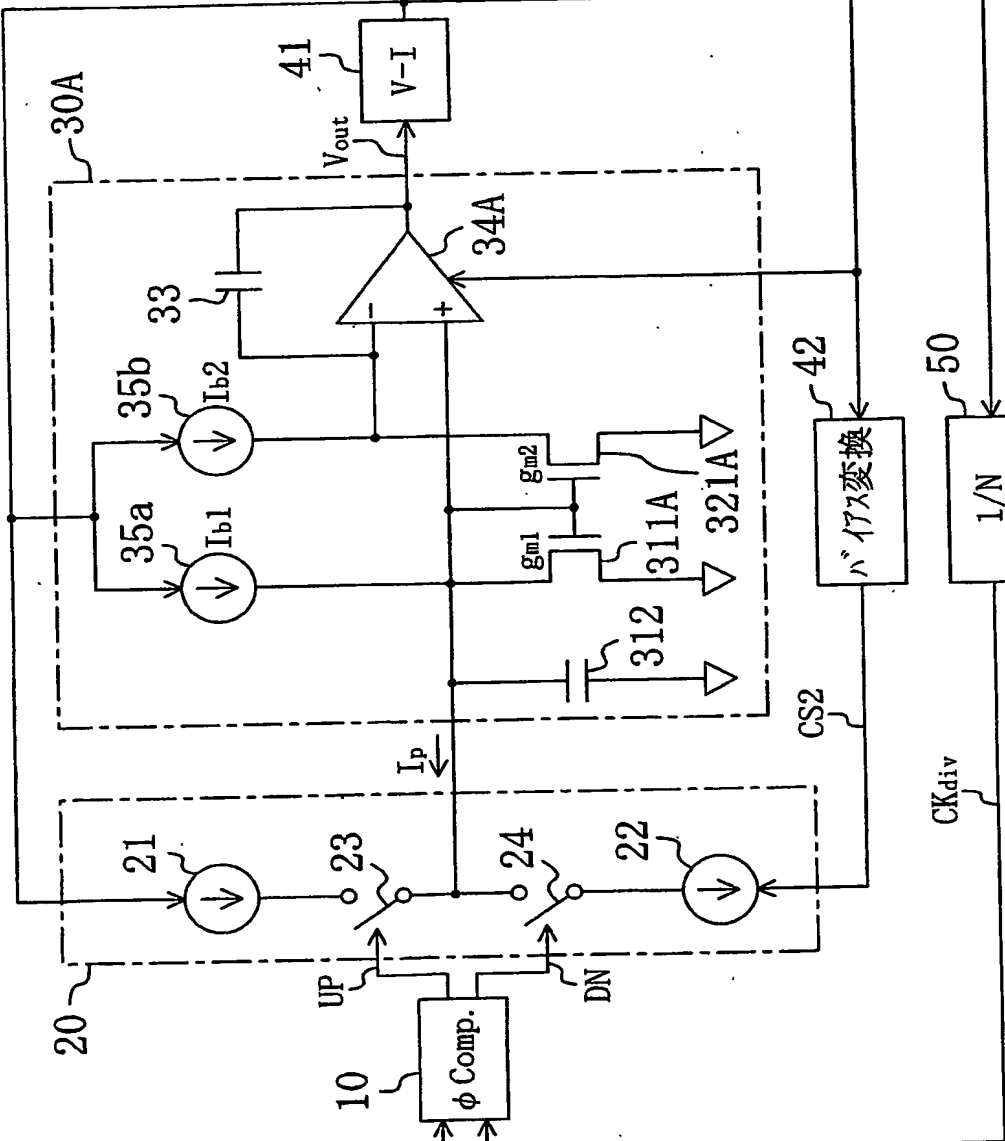


【図16】

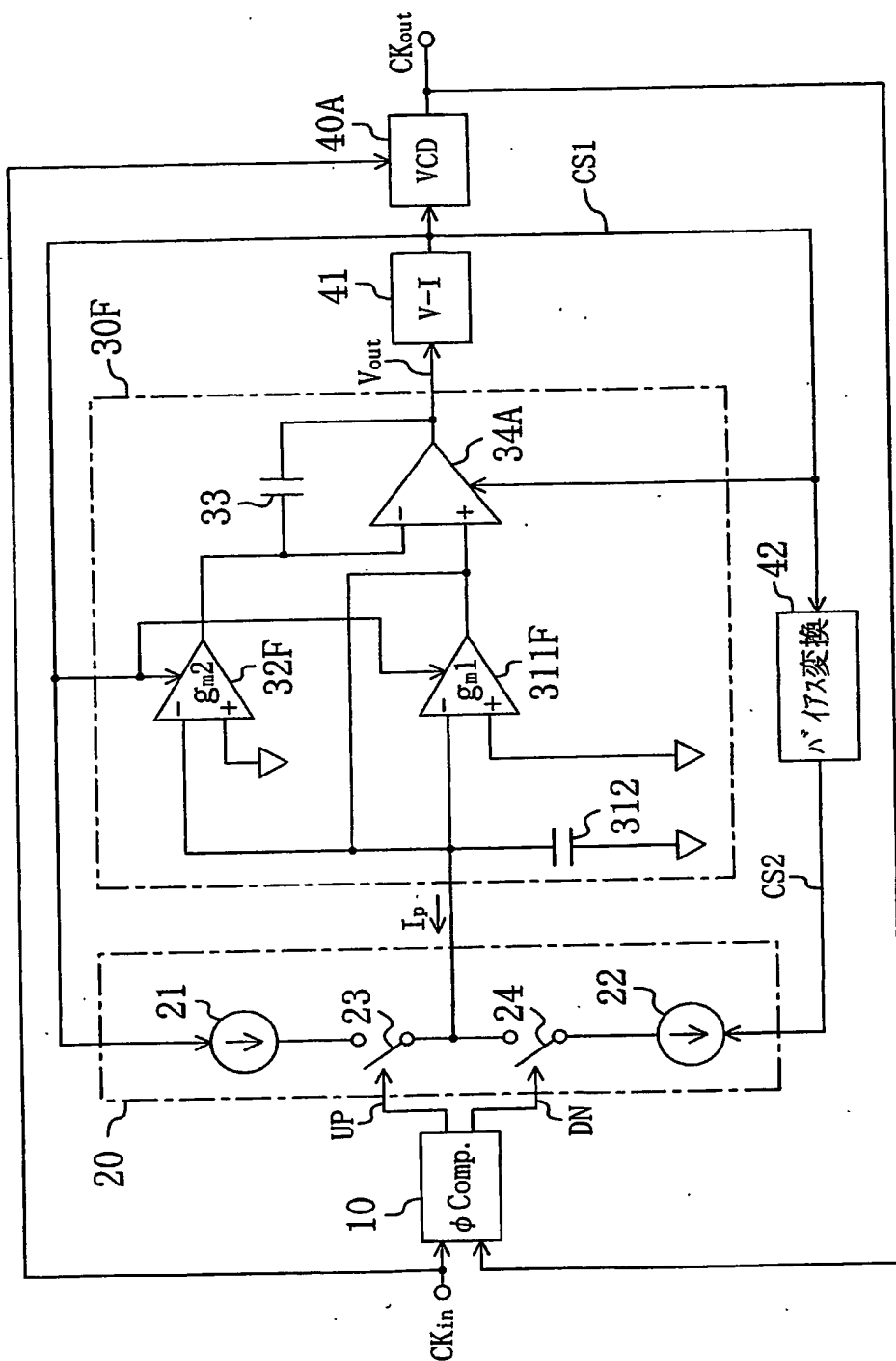


【図 17】

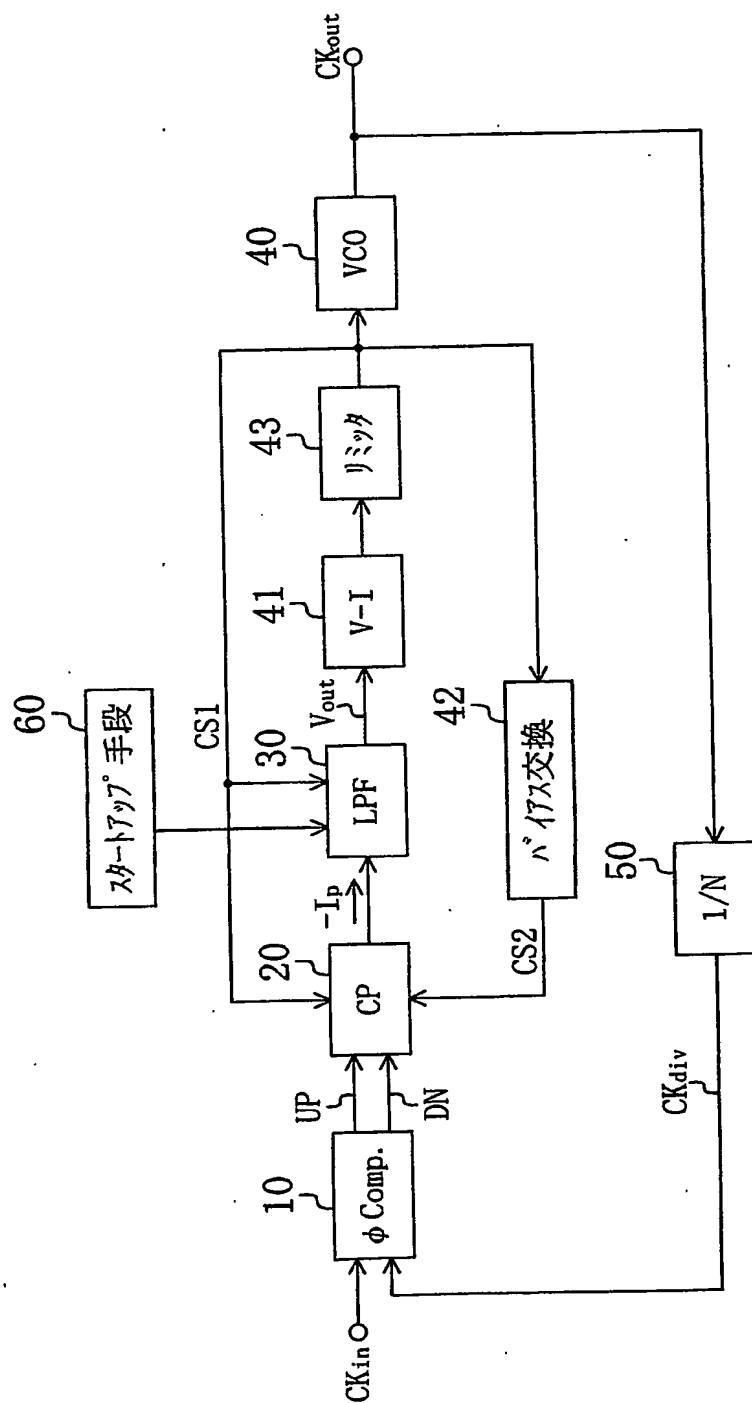




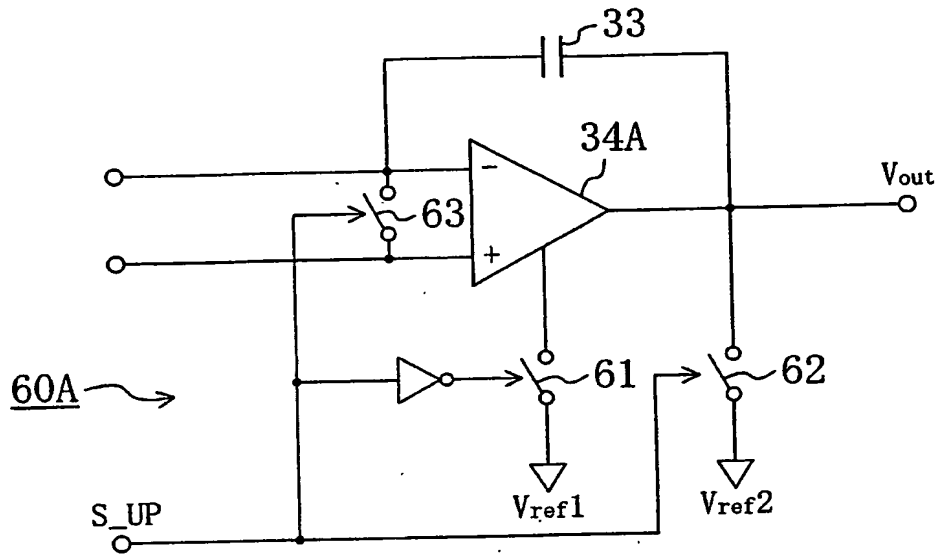
【図19】



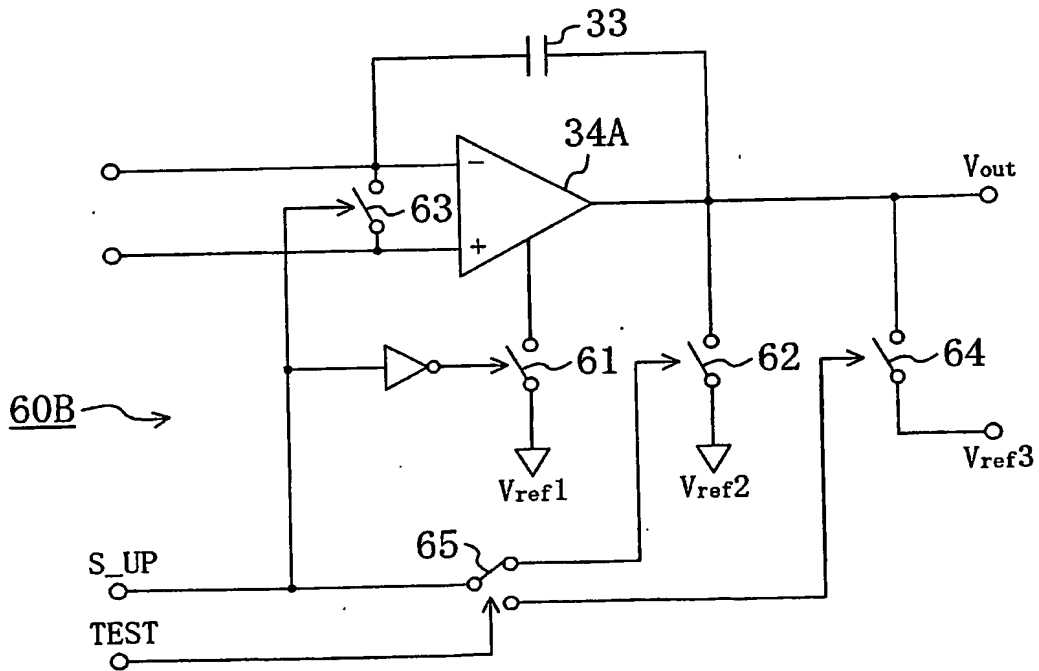
【図20】



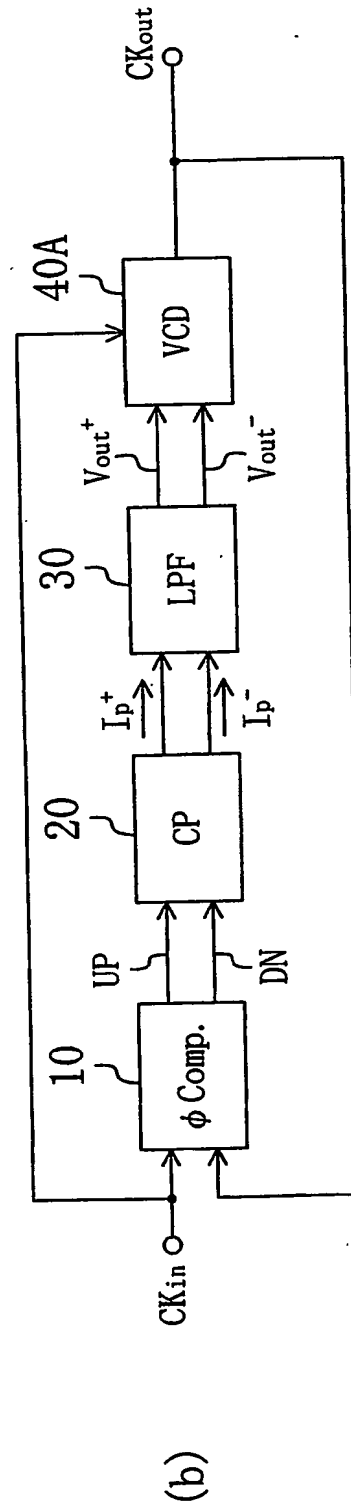
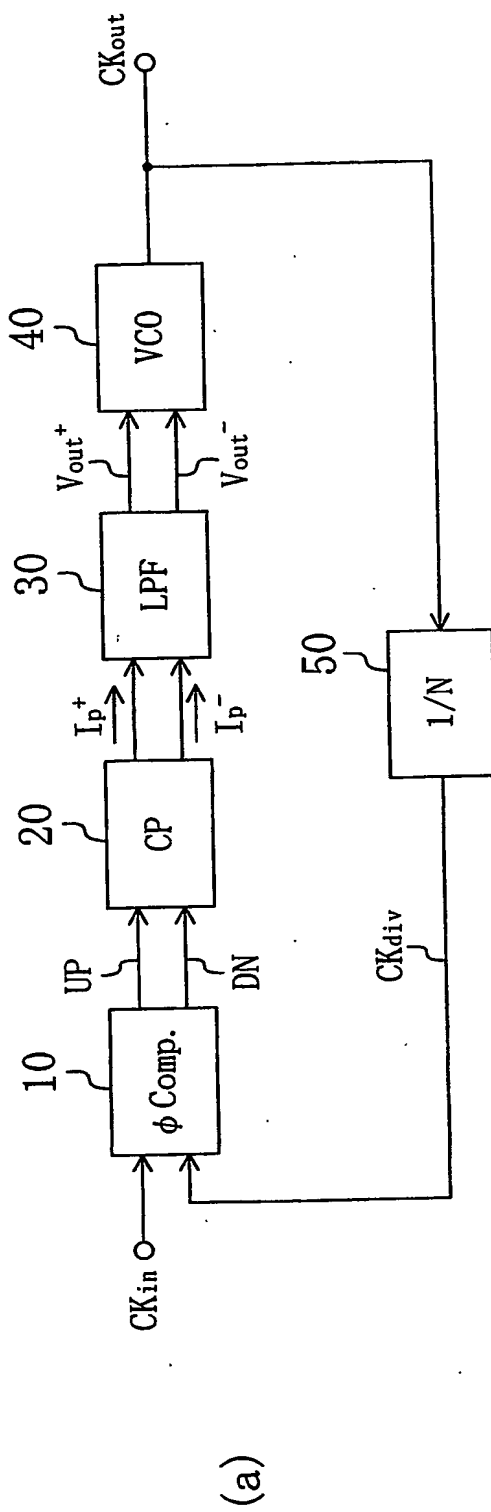
【図 2 1】



【図 2 2】

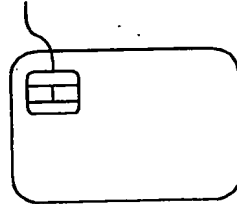


【図 23】



【図 24】

本発明のPLLや
DLLを備えたLSI



ICカードへの応用例

【図 25】

本発明のPLLや
DLLを備えたCOC部品

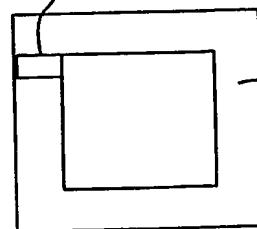
貼り付けの
母体となる部材



COC部品への応用例

【図 26】

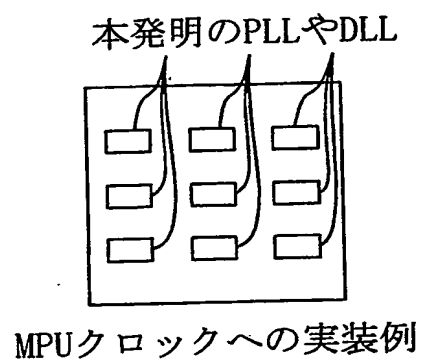
本発明のPLLやDLL



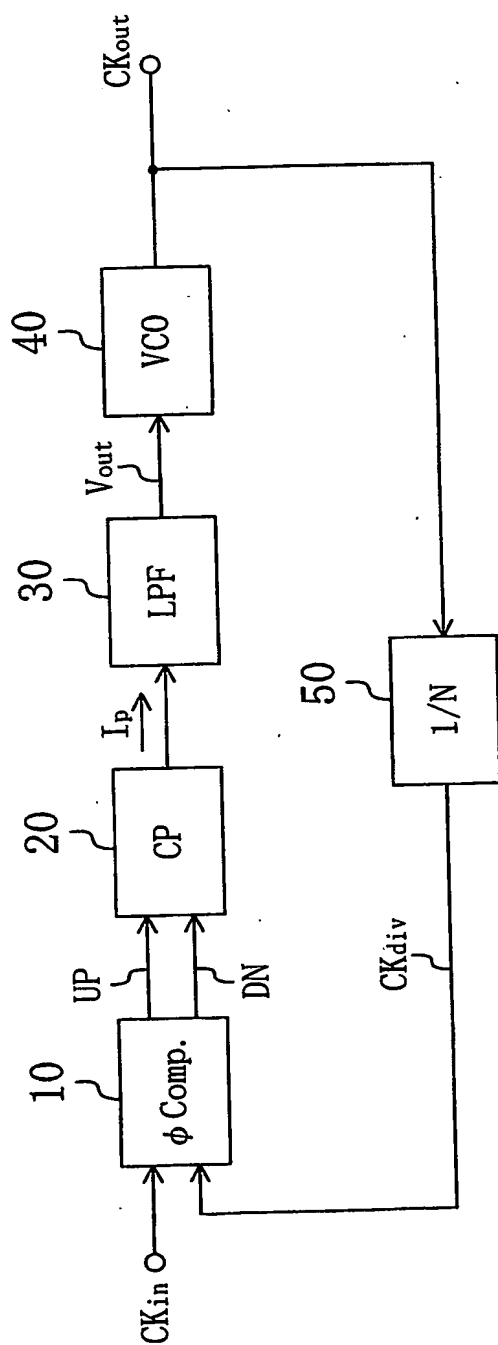
LSIパッド部

LSIパッドへの実装例

【図 27】

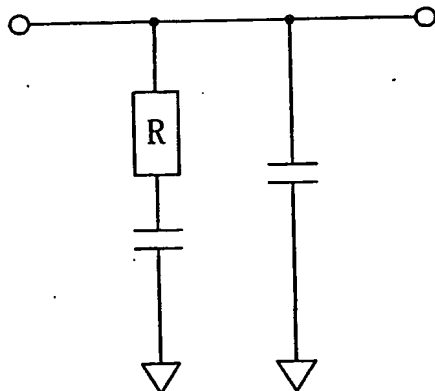


【図28】

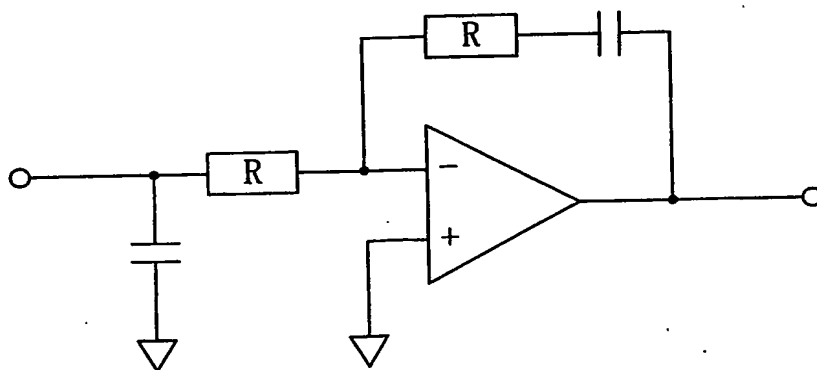


【図 29】

(a)

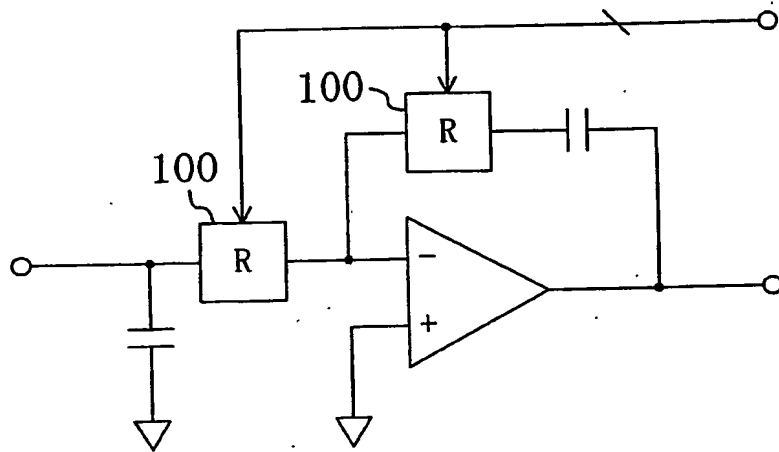


(b)

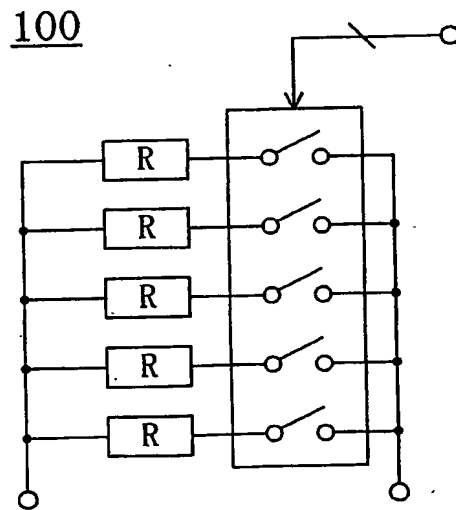


【図 30】

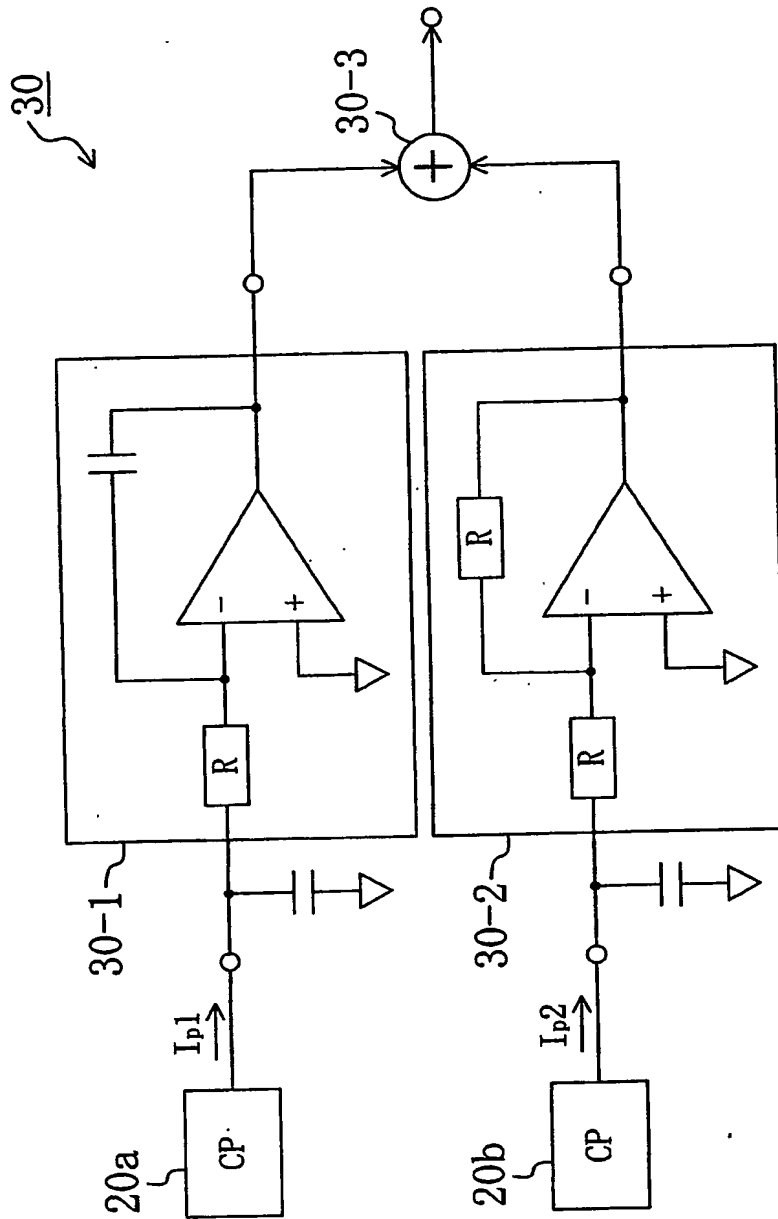
(a)



(b)



【図 31】



【書類名】 要約書

【要約】

【課題】 従来と同等のフィルタ特性を有しながらもより小さな回路面積で実現可能であり、PLLやDLLのループフィルタとして好適な低域ろ波回路を提供する。

【解決手段】 低域ろ波回路として、当該低域ろ波回路の入力信号を入力とし、第1の電圧を出力とする第1のフィルタ手段31と、第1のフィルタ手段31が有する回路要素であって、前記第1の電圧に応じて第1の電流を流す回路要素311と、前記第1の電流に対して所定比の第2の電流を生成する電流生成手段32と、前記第2の電流を入力とし、第2の電圧を出力とする第2のフィルタ手段33と、前記第1の電圧と前記第2の電圧とを加算し、当該低域ろ波回路の出力信号を出力する加算手段34とを備える。ここで、第2の電流を第1の電流よりも小さくすることによって、第2のフィルタ手段33における容量素子を1/100程度にまで縮小でき、回路面積を大幅に低減することができる。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社